

(1)

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click Display Selected.
- To print/save clean copies of selected records from browser click Print/Save Selected.
- To have records sent as hardcopy or via email, click Send Results.

 Select All
 Clear Selections

Print/Save Selected

Send Results

Display Selected Format
Free

1. 1/5/1 DIALOG(R)File 352:Derwent WPI (c) 2008 The Thomson Corporation. All rts. reserv.

0013411901 & & Drawing available

WPI Acc no: 2003-502258/200347

Device for transmitting high speed-downlink shared channel indicator considering compatibility in communication system using high speed downlink packet access method and method therefor

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: CHOI S H; HWANG S O; KIM N S; LEE H U; LEE J H; SEO M S

Patent Family (1 patents, 1 & countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
KR 2003025765	A	20030329	KR 200169027	A	20011102	200347	B

Priority Applications (no., kind, date): KR 200158891 A 20010922

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes
KR 2003025765	A	KO	1	10	

Alerting Abstract KR A

NOVELTY – A device for transmitting an HS-DSC(High Speed–Downlink Shared Channel) indicator considering compatibility in a communication system using an HSDPA(High Speed Downlink Packet Access) method is provided to suggest a dedicated physical channel structure, and to adaptively control a field for transmitting the HS-DSC indicator, thereby improving system performance and efficiency.

DESCRIPTION – A user terminal supports an HSDPA service. A controller determines a field for transmitting an HS-DSC indicator showing that HSDPA service data exists, among fields of a dedicated physical channel slot of a communication system that does not use the HSDPA service in order to maintain compatibility between user terminals that do not support the HSDPA service. A dedicated physical channel transmitter inserts the HS-DSC indicator into the determined field under the control of the controller, multiplexes the indicator with the rest fields of the dedicated physical channel, and transmits the multiplexed indicator.

Title Terms /Index Terms/Additional Words: DEVICE; TRANSMIT; HIGH; SPEED; SHARE; CHANNEL; INDICATE; COMPATIBLE; COMMUNICATE; SYSTEM; PACKET; ACCESS; METHOD

Class Codes

International Patent Classification

IPC	Class Level	Scope	Position	Status	Version Date
H04B-0007/26	A	I		R	20060101
H04B-0007/26	C	I		R	20060101

File Segment: EPI;

DWPI Class: W02

Manual Codes (EPI/S-X): W02-C03C

Derwent WPI (Dialog® File 352) (c) 2008 The Thomson Corporation. All rights reserved.

 Select All
 Clear Selections

Print/Save Selected

Send Results

Display Selected Format
Free

© 2008 Dialog, a Thomson business

36

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) . Int. Cl. 7
H04B 7/26

(11) 공개번호 특2003- 0025765
(43) 공개일자 2003년03월29일

(21) 출원번호 10- 2001- 0069027
(22) 출원일자 2001년11월02일

(30) 우선권주장 1020010058891 2001년09월22일 대한민국(KR)

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이현우
경기도수원시권선구권선동벽산아파트806동901호
최성호
경기도성남시분당구정자동느티마을306동302호
이주호
경기도수원시팔달구영통동살구골현대아파트730동803호
황승오
경기도용인시수지읍벽산아파트203동501호
서명숙
경기도수원시권선구권선동성지아파트106동106호
김노선
대전광역시중구문화2동668- 58

(74) 대리인 이건주

심사청구 : 없음

(54) 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템에서 호환성을 고려한 고속 순방향 공통 채널 지시자를 전송하기 위한 장치 및 방법

요약

본 발명은 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템에 관한 것으로서, 상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성을 유지를 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하고, 상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전송한다.

대표도

도 4

색인어

HSDPA, 순방향 DPCH, HI, 호환성

명세서

도면의 간단한 설명

도 1은 통상적인 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 채널 구조를 개략적으로 도시한 도면

도 2는 통상적인 부호분할 다중접속 통신 시스템의 전용 물리 채널 구조를 도시한 도면

도 3은 본 발명의 일 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 HI를 전송하는 순방향 전용 물리 채널 구조를 도시한 도면

도 4는 본 발명의 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 HI를 전송하는 순방향 전용 물리 채널 구조를 도시한 도면

도 5는 통상적인 부호 분할 다중 접속 통신 시스템에서 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 SF가 512일 경우의 순방향 DPCH 구조를 도시한 도면

도 6은 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 HI를 전송하는 순방향 전용 물리 채널 구조를 도시한 도면

도 7은 본 발명의 실시예에서의 기능을 수행하기 위한 기지국 장치의 내부 구성을 도시한 블록도

도 8은 본 발명의 실시예에서의 기능을 수행하기 위한 사용자 단말기 장치의 내부 구성을 도시한 블록도

도 9는 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 HI를 전송하는 순방향 전용 물리 채널 구조를 도시한 도면

도 10은 본 발명의 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널의 슬롯 구조를 운용하는 방안을 도시한 도면.

도 11은 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면

도 12는 본 발명의 또 다른 실시예에 따른 상기 도 11의 슬롯 구조를 운용하는 방법을 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 부호분할다중접속 통신시스템에서 고속 순방향패킷전송(High Speed Downlink Packet Access: HSDPA)을 지원하기 위한 순방향 전용물리채널의 전송장치 및 방법에 관한 것으로, 특히 HSDPA 서비스를 지원하지 않는 기지국 및 단말기와 HSDPA 서비스를 지원하는 기지국 및 단말기 간의 호환성을 유지하기 위한 순방향 전용물리채널의 전송 장치 및 방법에 관한 것이다.

일반적으로, 고속 순방향 패킷 접속(High Speed Downlink Packet Access: 이하 " HSDPA" 라 칭한다.) 방식은 UMTS(Universal Mobile Terrestrial System) 통신 시스템에서 순방향 고속 패킷 데이터 전송을 지원하기 위한 순방향 데이터 채널인 고속 순방향 공통 채널(High Speed - Downlink Shared Channel:HS- DSCH)과 이와 관련된 제어채널들을 포함한 데이터 전송방식을 총칭한다. 상기 HSDPA를 지원하기 위해서 적응적 변조방식 및 코딩 방식(Adaptive Modulation and Coding: 이하 " AMC" 라 한다), 복합 재전송 방식(Hybrid Automatic Retransmission Request: 이하 " HARQ" 라 함) 및 빠른 셀 선택(Fast Cell Select: 이하 " FCS" 라 함) 방식이 제안되었다.

첫 번째로, AMC 방식에 대해 설명하기로 한다.

상기 AMC 방식은 특정 기지국(Node B, 이하 " Node B" 라 칭하기로 한다)과 단말기(UE: User Element, 이하 " UE" 라 칭하기로 한다) 사이의 채널 상태에 따라 서로 다른 데이터 채널의 변조방식과 코딩방식을 결정하여, 상기 기지국 전체의 사용효율을 향상시키는 데이터 전송 방식을 말한다. 따라서 상기 AMC 방식은 복수개의 변조방식들과 복수개의 코딩방식들을 가지며, 상기 변조방식들과 코딩방식들을 조합하여 데이터 채널 신호를 변조 및 코딩한다. 통상적으로 상기 변조방식들과 코딩방식들의 조합들 각각을 변조 및 코딩 스키ーム(Modulation and Coding Scheme: 이하 " MCS" 라 함)라고 하며, 상기 MCS 수에 따라 레벨(level) 1에서 레벨(level) n까지 복수개의 MCS들을 정의할 수 있다. 즉, 상기 AMC 방식은 상기 MCS의 레벨(level)을 상기 UE와 현재 무선 접속되어 있는 Node B 사이의 채널 상태에 따라 적응적으로 결정하여 상기 Node B 전체 시스템 효율을 향상시키는 방식이다.

두 번째로, HARQ 방식, 특히 다채널 정지- 대기 혼화 자동 재전송 방식(n- channel Stop And Wait Hybrid Automatic Retransmission Request: 이하 " n- channel SAW HARQ" 라 칭한다.)을 설명하기로 한다.

상기 HARQ 방식은 ARQ(Automatic Retransmission Request) 방식의 전송 효율을 증가시키기 위해 다음과 같은 2 가지 방안을 새롭게 적용한 것이다. 첫 번째 방안은 상기 HARQ는 UE와 Node B 사이에서의 재전송 요구 및 응답을 수행하는 것이고, 두 번째 방안은 오류가 발생한 데이터들을 일시적으로 저장하였다가 해당 데이터의 재전송 데이터와 결합(Combining)해서 전송하는 것이다. 또한 HSDPA 방식에서는 종래의 멤버- 대기 자동 재전송(Stop and Wait ARQ :: SAW ARQ) 방식의 단점을 보완하기 위해서 상기 n- channel SAW HARQ라는 방식을 도입하였다. 상기 SAW ARQ 방식의 경우 이전 패킷 데이터에 대한 ACK를 수신하여야만 다음 패킷 데이터를 전송한다. 그런데, 이렇게 이전 패킷 데이터에 대한 ACK를 수신한 후에만 다음 패킷 데이터를 전송하기 때문에 패킷 데이터를 현재 전송할 수 있음에도 불구하고 ACK를 대기하여야 하는 경우가 발생할 수 있다. 상기 n- channel SAW HARQ 방식에서는 상기 이전 패킷 데이터에 대한 ACK를 받지 않은 상태에서 다수의 패킷 데이터들을 연속적으로 전송해서 채널의 사용 효율을 높일 수 있다. 즉, 단말기와 기지국간에 n 개의 논리적인 채널(Logical Channel)들을 설정하고, 특정 시간 또는 채널 번호로 상기 n 개의 채널들 각각을 식별 가능하다면, 패킷 데이터를 수신하게 되는 상기 UE는 임의의 시점에서 수신한 패킷 데이터가 어느 채널을 통해 전송된 패킷 데이터인지를 알 수 있으며, 수신되어야 할 순서대로 패킷 데이터들을 재구성하거나, 해당 패킷 데이터를 소프트 컴바이닝(soft combining) 하는 등 필요한 조치를 취할 수 있다.

마지막으로, FCS 방식을 설명하기로 한다.

상기 FCS 방식은 상기 HSDPA 방식을 사용하고 있는 단말기가 셀 중첩지역, 즉 소프트 핸드오버 영역에 위치할 경우 복수개의 셀들 중 채널 상태가 좋은 셀을 빠르게 선택하는 방법이다. 상기 FCS 방식은 구체적으로, (1) 상기 HSDPA를 사용하고 있는 단말기가 이전 기지국과 새로운 기지국의 셀 중첩지역에 진입할 경우, 상기 단말기는 복수의 셀들, 즉 복수개의 기지국과의 무선 링크(이하 " Radio Link" 라 칭한다.)를 설정한다. 이때 상기 단말기와 Radio Link를 설정한 셀들의 집합을 액티브 세트(active set)이라 칭한다. (2) 상기 액티브 세트에 포함된 셀들 중에서 가장 양호한 채널상태를 유지하고 있는 셀로부터만 HSDPA용 패킷 데이터를 수신하여 전체적인 간섭(interference)을 감소시킨다. 여기서, 상

기 액티브 셋에서 채널상태가 가장 양호하여 HSDPA 패킷 데이터를 전송하는 셀을 베스트 셀(best cell)이라 하고, 상기 단말기는 상기 액티브 셋에 속하는 셀들의 채널 상태를 주기적으로 검사하여 현재 베스트 셀보다 채널 상태가 더 좋은 셀이 발생할 경우 상기 현재의 베스트 셀을 새로 발생한 채널 상태가 더 좋은 셀로 바꾸기 위해 베스트 셀 지시자(Best Cell Indicator) 등을 상기 액티브 셋에 속해있는 셀들로 전송한다. 상기 베스트 셀 지시자에는 베스트 셀로 선택된 셀의 식별자가 포함되어 전송되고, 이에 상기 액티브 셋내의 셀들은 상기 베스트 셀 지시자를 수신하고 상기 베스트 셀 지시자에 포함된 셀 식별자를 검사한다. 그래서 상기 액티브 셋 내의 셀들 각각은 상기 베스트 셀 지시자가 자신에게 해당하는 베스트 셀 지시자인지를 검사하고, 상기 검사결과 베스트 셀로 선택된 해당 셀은 고속 순방향 공통 채널(HS-DSCH)을 이용해서 상기 단말기로 패킷 데이터를 전송한다.

도 1은 통상적인 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 채널 구조를 개략적으로 도시한 도면이다.

상기 도 1을 참조하면, 순방향(downlink) 전용 물리 채널(DPCH: Dedicated Physical Channel, 이하 DPCH" 라 칭하기로 한다)은 기존의 부호분할 다중 접속 통신 시스템, 일 예로 Release- 99에서 정의된 필드(field)와 단말기에게 수신해야 할 HSDPA 패킷 데이터가 존재하는지 여부를 나타내는 고속 순방향 공통 채널 지시자(HI: HS-DSCH Indicator, 이하 "HI" 라 칭하기로 한다)로 구성되어야 할 것이다. 상기 순방향 전용 물리 채널을 통해 전송되는 상기 HI는 해당 단말기로 수신해야 할 HSDPA 패킷 데이터가 존재하는지 여부를 알려줄 뿐만 아니라, 상기 HSDPA 패킷 데이터가 존재할 경우 상기 HSDPA 패킷 데이터가 실제로 전송되는 HS-DSCH에 대한 제어정보를 수신해야 할 공통 제어 채널(SHCC: SHared Control Channel)의 채널화 코드를 알려줄 수도 있다. 또한, 필요에 따라서는 HS-DSCH 제어정보들 중 일부, 예를 들어 MCS 레벨과 같은 제어 정보들이 상기 HI를 통해 전송될 수도 있다. 통상적으로 상기 HS-DSCH 채널은 UE가 어떤 SHCC 채널을 수신해야 할지를 알려 주고 있다.

일 예로, 상기 HSDPA 패킷 데이터가 $N (= N_1 + N_2)$ 슬롯(slot) 단위로 전송되는 경우(즉, HSDPA 전송시구간(TTI: Transmission Time Interval) = N 슬롯), TTI내에서 슬롯 구조가 변하지 않고 고정되어 있는 경우에는 상기 HI는 N_1 슬롯에 나누어 전송되고 나머지 N_2 슬롯에서 HI를 전송하는 부분은 불연속 전송(DTX: Discontinuous Transmission)으로 처리한다. TTI내에서 슬롯 구조가 가변적인 경우는 HI를 전송하는 N_1 슬롯만 HI 필드가 있는 슬롯 구조를 가지고 나머지 N_2 슬롯은 기존 Release- 99에서 정의된 슬롯 구조를 가질 수 있다. 일례로 상기 도 1에서는 한 개의 슬롯을 통해서만 HI가 전송되므로 상기 N_1 이 1인 경우를 가정한 경우를 도시하였다. 본 발명에서는 TTI내에서 HI가 전송되는 슬롯은 상기 도 1과 같이 첫번째 슬롯으로 고정되지는 않는다. 기지국 측에서 HI를 전송해야 할 슬롯을 결정하는 기준은 SHCC 채널 TTI 시작점이다. 상기 SHCC의 TTI 시작점을 기준으로 하여 처음 만나는 DPCH 슬롯으로 HI가 전송되는 것이다. 예를 들어 상기 도 1에서는 SHCC의 TTI 시작점이 DPCH 채널의 슬롯 시작점과 같으므로 HI는 DPCH의 첫 슬롯으로 전송될 수 있다. 만약 DPCH의 첫 슬롯의 시작점이 SHCC TTI 시작점보다 약간 앞에 위치하면 SHCC TTI 시작 후 처음 만나는 DPCH 슬롯은 DPCH의 TTI내 두 번째 슬롯이 되어 HI는 DPCH의 두 번째 슬롯으로 전송될 것이다. 그리고 기지국은 HS-DSCH 채널의 제어를 위한 정보들(이하 HS-DSCH 제어정보)인 MCS 레벨, HS-DSCH 채널화 코드, HARQ 프로세스 번호, HARQ 패킷 번호 등을 상기 공통 제어 채널(Shared control channel, 이하 SHCC)을 통해 상기 단말기에게 전송한다. 여기서 상기 HS-DSCH 제어 정보들에 대해서 설명하면 다음과 같다.

- (1) MCS 레벨: HS-DSCH 채널에서 사용될 변조 및 채널 코딩 방법을 알려준다.
- (2) HS-DSCH 채널화 코드: HS-DSCH 채널에서 특정 단말기를 위해 사용된 채널화 코드
- (3) HARQ 프로세스 번호: n 채널 SAW HARQ를 사용하는 경우, HARQ를 위한 논리적인 채널 중에서 특정한 패킷이 속한 채널을 알려준다.

(4) HARQ 패킷 번호: FCS에서 베스트 셀이 바뀔 경우, 새로 선택된 베스트 셀에게 단말기가 HSDPA 데이터의 전송 상태를 알려줄 수 있도록 하기 위해서 순방향 패킷 데이터의 번호를 상기 단말기에게 알려준다.

그리고, 상기 SHCCH에는 하나 혹은 더 이상의 채널화 코드를 할당할 수 있다. 상기 도 1에서는 UE들 각각에게 할당할 수 있는 SHCCH의 수는 최대 4개까지 가능하다. 그래서 상기 DPCH의 HI로는 수신해야 할 HSDPA 데이터 패킷의 유무와 함께 해당 UE가 수신해야 할 SHCCH 채널에 대한 정보를 알려주게 된다. 상기 SHCCH의 수가 최대 4개까지 할당 가능하므로 두 비트(2bits)의 HI로 상기 UE가 수신해야 할 SHCCH에 대한 정보를 알려줄 수 있다. 상기의 HI 두 비트는 정보 비트이며 실제 DPCH 채널로 전송될 때는 부호화되어 NHI 비트로 전송될 수 있다. 예를 들어 HI가 00이면 상기 UE는 SHCCH # 1을 수신하고 01이면 SHCCH # 2, 10이면 SHCCH # 3, 11이면 SHCCH # 4를 수신한다. 또한 상기 HS- DSCH는 상기 기지국이 상기 단말기에게 전송하는 HSDPA 패킷 데이터가 전송되는 채널이다.

그러면 상기에서 설명한 바와 같은 3개의 채널들, 즉 DPCH, SHCCH, HS- DSCH를 이용하여 상기 UE가 HSDPA 서비스를 받는 과정을 설명하면 하기와 같다.

먼저 상기 UE는 순방향 DPCH 신호와 함께 SHCCH 채널을 수신하여 HI 필드로 전송되는 비트를 복조한다. 상기 UE는 DPCH와 SHCCH를 모두 수신하는데 UE가 어떤 SHCCH 채널을 읽어야 할지를 알려주는 HI 정보비트를 추출할 때까지 UE는 모든 SHCCH를 복조하고 있어야 할 것이다. UE는 상기 SHCCH 채널의 TTI 시작점과 DPCH 슬롯 시작점을 알고 있으므로 상기 DPCH의 어느 슬롯으로 HI가 전송되는지 알 수 있다. 그러므로 상기에서 설명한 가변적인 DPCH 슬롯 구조의 경우에도 UE가 HI를 복조할 수 있다. 상기 HI가 전송되는 슬롯의 HI 필드가 DTX이면 상기 UE는 수신해야 할 HSDPA 패킷 데이터가 존재하지 않음을 인지하고 DPCH만 수신하면서 다음 TTI까지 기다린다. 한편, 상기 HI로 특정 비트값이 전송되면 상기 UE는 HSDPA 패킷 데이터가 존재함을 인지하고 상기 HI 정보 비트값에 따라 해당하는 SHCCH 신호만을 디코딩하고 복조하고 있던 나머지 SHCCH 채널들의 신호는 버린다. 그리고 나서 상기 해당 SHCCH 신호를 읽어 HS- DSCH 채널을 복조하기 위해 필요한 HS- DSCH의 MCS level, 채널화 코드, HARQ 관련 제어정보들을 추출해 낸다. 마지막으로 상기 UE는 상기 SHCCH를 통해 검출한 제어정보들을 이용해 HS- DSCH 신호를 수신하여 복조함으로써 HSDPA 패킷 데이터를 검출하게 된다.

상기에서 설명한 바와 같이 상기 UE가 HS- DSCH 신호를 복조하기 위해서는 SHCCH 신호를 읽어 해당 제어정보를 검출해내야만 한다. 즉, 상기 도 1에 도시한 바와 같이 상기 UE가 DPCH, SHCCH 신호를 먼저 수신하여 제어정보들을 읽고 난 후 HS- DSCH 채널을 수신해야 함을 의미한다. 결국 상기 순방향 DPCH, SHCCH 시작 시점이 HS- DSCH의 시작 시점보다 빠른데, 이는 상기 UE가 상기 HS- DSCH 지시자를 읽어 해당 정보를 검출해 내기 전에는 나머지 두 채널이 상기 UE에게 해당되는 데이터인지 여부를 알 수가 없기 때문이다. 즉, 상기 HS- DSCH 지시자를 읽기 전에는 상기 UE에게 해당되는 데이터인지 여부를 알 수가 없기 때문에 데이터를 임시로 버퍼(buffer)에 저장해야 하므로 HS- DSCH 지시자를 읽을 시간적 여유를 둔 후, 이후 나머지 두 채널을 수신함으로써 상기 UE 버퍼 부담을 덜어 주기 위한 것이다. 결과적으로, 상기 UE는 상기 순방향 DPCH의 HS- DSCH 지시자 부분을 읽어 상기 UE 자신이 수신할 HSDPA 패킷 데이터가 존재하는지 여부를 검사하고, 상기 검사 결과 상기 UE 자신이 수신할 HSDPA 패킷 데이터가 존재할 경우 상기 SHCCH의 HS- DSCH 채널 제어를 위한 정보들을 읽은 후, 그 제어 정보들에 따라 HS- DSCH 채널을 통해 상기 HSDPA 패킷 데이터를 수신하게 되는 것이다.

상기 도 1에서는 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 전용 물리 채널 구조를 설명하였으며, 다음으로 상기 고속 순방향 패킷 접속 방식을 사용하지 않는 통신 시스템의 전용 물리 채널 구조를 도 2를 참조하여 설명하기로 한다.

상기 도 2는 통상적인 부호분할 다중접속 통신 시스템의 전용 물리 채널 구조를 도시한 도면이다.

상기 도 2를 참조하면, 먼저 DPCH에는 기존의 HSDPA 서비스를 지원하지 않는 부호분할 다중 접속 통신 시스템, 일 예로 Release- 99에서 정의된 순방향 전용 물리 채널의 구조를 포함하고 있는데, 각 필드를 설명하면 다음과 같다. Data1과 Data2 필드는 상위 계층 동작을 지원하기 위한 데이터 혹은 음성 등의 전용 서비스를 지원하기 위한 데이터를 전송한다. TPC(Transfer Power Control: 전송 전력 제어) 필드는 역방향(uplink) 전송 전력을 제어하기 위한 순방향(downlink) 전송 전력 제어 명령을 전송하며, TFCI(Transfer Format Combination Indicator: 전송 포맷 조합 표시) 필드는 상기 Data1과 Data2 필드의 전송 포맷 조합 정보를 전송한다. 파일럿(Pilot) 필드는 시스템에서 미리 약속된 파일럿 심볼열을 전송하는 필드로서 단말기가 순방향 채널 상태를 추정하는데 사용된다. 여기서, 상기 Data1과 Data2는 순방향 전용 물리 데이터 채널(DPDCH: Dedicated Physical Data Channel, 이하 DPDCH" 라 칭하기로 한다)이고, TPC, TFCI, Pilot은 순방향 전용 물리 제어 채널(DPCCH: Dedicated Physical Control Channel, 이하 DPCCH" 라 칭하기로 한다)이다. 그리고, 상기 도 2에 도시된 NData1, NTPC, NTFCI, NData2, NPilot은 각 필드로 전송되는 비트들의 수를 의미하고, 상기 도 2에 도시된 DPCH 구조는 3GPP R- 99 표준안에서는 상기 TFCI 필드를 분할하여 그 일부분은 순방향 전용 물리 데이터 채널(DPDCH)을 위한 TFCI를 전송하기 위해서 사용하고, 그 나머지 부분은 순방향 공통 채널(DSCH: Downlink Shared Channel, 이하 DSCH" 라 칭하기로 한다)을 위한 TFCI를 전송하기 위해 사용하는 방법을 정의하고 있다.

그런데, 상기 도 2에서 설명한 Release- 99에서 사용하고 있는 DPCH 구조는 상기 HSDPA 서비스를 위해 Node B가 UE에게 전송해야만 하는 정보를 전송하는 것이 불가능하기 때문에, 상기 Release- 99 서비스를 지원하면서도 상기 HSDPA 서비스를 지원하기 위해서는 새로운 순방향 DPCH 구조가 필요로하게 되었다. 한편, 상기 HSDPA를 지원하는 UE는 HSDPA를 서비스하는 Node B로부터 HS- DSCH를 통해 데이터 패킷을 전송받는 것과 동시에 상기 HSDPA를 지원하지 않는 Node B로부터 순방향 DPCH를 통해서 데이터를 전송 받는 상황이 발생할 수 있기 때문에, HSDPA를 위한 순방향 DPCH는 상기 HSDPA 서비스뿐만 아니라 기존의 HSDPA 서비스를 지원하지 않는 부호 분할 다중 접속 통신 시스템, 즉 Release- 99에 의해 지원되던 서비스까지 지원할 수 있어야만 한다는 필요성이 대두되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템과 상기 고속 순방향 패킷 접속 방식을 사용하지 않는 통신 시스템의 호환성을 유지하는 전용 물리 채널 신호를 전송하는 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템에서 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자가 전송되는 필드를 전용 물리 채널의 확산율에 따라 적응적으로 설정하는 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템에서 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자가 전송되는 필드에서 원래 전송되던 정보 데이터를 상기 고속 순방향 공통 채널 지시자가 전송되는 슬롯 이외의 슬롯에서 상기 필드와 동일한 필드를 통해 전송하는 장치 및 방법을 제공함에 있다.

상기한 목적들을 달성하기 위한 본 발명의 장치는; 고속 순방향 패킷 접속 서비스를 지원하지 않는 시스템이 사용자 데이터를 전송하는 사용자 데이터 필드와, 역방향 전송 전력을 제어하기 위한 명령을 전송하는 전송 전력 제어 필드와, 상기 사용자 데이터의 전송 포맷 조합 표시 정보를 전송하는 전송 포맷 조합 표시 필드와, 파일럿 심볼열을 전송하는 파일럿 필드로 다중화된 전용 물리 채널 구조를 가지며, 상기 고속 순방향 패킷 접속 방식을 서비스 하지 않는 시스템과 호환성을 유지하면서 고속 순방향 공통 채널 지시자를 전송하기 위한 장치에 있어서, 상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성을 유지를 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드 중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하는 제어기와,

상기 제어기의 제어에 따라 상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전송하는 전용 물리 채널 송신기를 포함함을 특징으로 한다.

상기한 목적을 달성하기 위한 본 발명의 방법은: 고속 순방향 패킷 접속 서비스를 지원하지 않는 시스템이 사용자 데이터를 전송하는 사용자 데이터 필드와, 역방향 전송 전력을 제어하기 위한 명령을 전송하는 전송 전력 제어 필드와, 상기 사용자 데이터의 전송 포맷 조합 표시 정보를 전송하는 전송 포맷 조합 표시 필드와, 파일럿 심볼열을 전송하는 파일럿 필드로 다중화된 전용 물리 채널 구조를 가지며, 상기 고속 순방향 패킷 접속 방식을 서비스 하지 않는 시스템과 호환성을 유지하면서 고속 순방향 공통 채널 지시자를 전송하기 위한 방법에 있어서, 상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성을 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하는 과정과, 상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전용 물리 채널 신호를 전송하는 과정을 포함함을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 훌트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

본 발명에서는 고속 순방향 패킷 접속(High Speed Downlink Packet Access: 이하 "HSDPA" 라 칭한다.) 방식을 사용하는 통신 시스템과 상기 HSDPA 방식을 사용하지 않는 통신 시스템의 서비스를 동시에 지원하기 위한 전용 물리 채널(DPCH: Dedicated Physical CHannel, 이하 DPCH" 라 칭하기로 한다) 구조 및 상기 DPCH를 전송하는 방안을 설명하기로 한다. 그리고 본 발명에서는 기지국(Node B, 이하 Node B" 라 칭하기로 한다)이 사용자 단말기(UE: User Element, 이하 UE" 라고 칭하기로 한다)에게 HSDPA 서비스 뿐만 아니라 음성(voice) 서비스까지 동시에 지원할 수 있는 경우와, HSDPA 서비스만을 제공하는 경우를 고려한다. 이를 자세히 설명하면 하기와 같다. 상기 HSDPA 서비스를 지원하지 않는 통신 시스템, 일 예로 Release- 99에서는 순방향(forward) DPCH의 확산율(SF: Spreading Factor, 이하 "SF" 라 칭하기로 한다)에 따라 전송 가능한 데이터 양이 달라진다. 일 예로 상기 SF가 512이면(SF=512) 한 슬롯(slot)에 전송가능한 심볼(symbol)의 수는 5심볼이다. 순방향 DPCH는 QPSK(Quadrature Phase Shift Keying) 변조 방식을 사용하기 때문에 상기 SF가 512일 때 한 슬롯에 전송할 수 있는 비트 수는 10비트(10bits)가 된다. 일반적으로 상기와 같이 SF가 512이면 한 슬롯당 전송 가능한 비트 수가 적어지기 때문에 음성 서비스까지 지원하기 힘들고 순방향 DPCH에 대한 제어정보들을 전송할 수 있다. 한편, 상기 SF가 256(SF = 256) 이하이면 슬롯당 전송 가능한 비트수가 늘어나기 때문에 그 전송 데이터량이 증가하여 상기 순방향 DPCH에 대한 제어 정보 뿐만 아니라 음성 데이터까지도 전송가능하게 된다. 그래서 본 발명에서는 상기 순방향 DPCH의 SF를 256 이하로 설정하여 상기 HSDPA 서비스 뿐만 아니라 음성 서비스까지 동시에 지원 가능한 경우와 상기 순방향 DPCH의 SF가 512로 상기 HSDPA 서비스만을 지원가능하고 음성서비스는 지원 불가능한 경우를 각각 고려하기로 한다.

그리고 상기에서 설명한 Release- 99에서 순방향 DPCH의 SF와 각 필드의 비트 수에 따라 구분되는 슬롯포맷(slot format)을 하기 표 1에 나타내었다.

Slot Format #1	Channel Bit Rate (kbps)	Channel Symbol Rate (ksps)	SF	Bits/Slot	DPDCH Bits/Slot		DPCCH Bits/Slot			Transmitted slots per radio frame N_{Tr}
					N_{Data1}	N_{Data2}	N_{TPC}	N_{TFCI}	N_{Pilot}	
0	15	7.5	512	10	0	4	2	0	4	15
0A	15	7.5	512	10	0	4	2	0	4	8-14
0B	30	15	256	20	0	8	4	0	8	8-14
1	15	7.5	512	10	0	2	2	2	4	15
1B	30	15	256	20	0	4	4	4	8	8-14
2	30	15	256	20	2	14	2	0	2	15
2A	30	15	256	20	2	14	2	0	2	8-14
2B	60	30	128	40	4	28	4	0	4	8-14
3	30	15	256	20	2	12	2	2	2	15
3A	30	15	256	20	2	10	2	4	2	8-14
3B	60	30	128	40	4	24	4	4	4	8-14
4	30	15	256	20	2	12	2	0	4	15
4A	30	15	256	20	2	12	2	0	4	8-14
4B	60	30	128	40	4	24	4	0	8	8-14
5	30	15	256	20	2	10	2	2	4	15
5A	30	15	256	20	2	8	2	4	4	8-14
5B	60	30	128	40	4	20	4	4	8	8-14
6	30	15	256	20	2	8	2	0	8	15
6A	30	15	256	20	2	8	2	0	8	8-14
6B	60	30	128	40	4	16	4	0	16	8-14
7	30	15	256	20	2	6	2	2	8	15
7A	30	15	256	20	2	4	2	4	8	8-14
7B	60	30	128	40	4	12	4	4	16	8-14
8	60	30	128	40	6	28	2	0	4	15
8A	60	30	128	40	6	28	2	0	4	8-14
8B	120	60	64	80	12	56	4	0	8	8-14
9	60	30	128	40	6	26	2	2	4	15
9A	60	30	128	40	6	24	2	4	4	8-14
9B	120	60	64	80	12	52	4	4	8	8-14
10	60	30	128	40	6	24	2	0	8	15
10A	60	30	128	40	6	24	2	0	8	8-14
10B	120	60	64	80	12	48	4	0	16	8-14
11	60	30	128	40	6	22	2	2	8	15
11A	60	30	128	40	6	20	2	4	8	8-14
11B	120	60	64	80	12	44	4	4	16	8-14
12	120	60	64	80	12	48	4	8*	8	15
12A	120	60	64	80	12	40	4	16*	8	8-14
12B	240	120	32	160	24	96	8	16*	16	8-14
13	240	120	32	160	28	112	4	8*	8	15
13A	240	120	32	160	28	104	4	16*	8	8-14
13B	480	240	16	320	56	224	8	16*	16	8-14
14	480	240	16	320	56	232	8	8*	16	15
14A	480	240	16	320	56	224	8	16*	16	8-14
14B	960	480	8	640	112	464	16	16*	32	8-14
15	960	480	8	640	120	488	8	8*	16	15
15A	960	480	8	640	120	480	8	16*	16	8-14
15B	1920	960	4	1280	240	976	16	16*	32	8-14
16	1920	960	4	1280	248	1000	8	8*	16	15
16A	1920	960	4	1280	248	992	8	16*	16	8-14

상기 표 1에서 슬롯 포맷이 0과 1인 경우는 SF가 512일 때이고 나머지 슬롯 포맷들은 SF가 256 이하일 때이다. 참고로 상기 표 1에서 각 슬롯 포맷에 대한 A와 B 포맷은 주파수간 또는 시스템 간의 핸드오버(handover)를 위한 압축 모드(Compressed mode)에 사용되는 포맷이다.

한편, HSDPA 방식을 사용하는 통신 시스템에서는 Node B가 HSDPA 서비스를 지원하기 위해서 순방향 DPCH를 통해 UE에게 수신해야 할 HSDPA 데이터 패킷이 존재하는지 유무를 알려주는 고속 순방향 공통 채널 지시자(HI: HS-DSC H Indicator, 이하 "HI" 라 칭하기로 한다)를 전송할 수 있어야만 한다. 물론, 상기 HI뿐만 아니라 상기 HSDPA 방식을 사용하지 않는 경우의 순방향 DPCH에서 전송하는 필드들, 즉 Data1, TPC, TFCI, Data2, Pilot도 전송되어야 한다.

그러면 첫 번째로 상기 HSDPA 서비스와 음성서비스를 동시에 지원 가능한 순방향 DPCH 구조를 도 3 및 도 4를 참조하여 설명하기로 한다.

상기 도 3은 본 발명의 일 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 HSDPA 방식을 사용하지 않는 기존의 부호 분할 다중 접속 통신 시스템, 일 예로 Release- 99의 순방향 DPCH 구조중 파일럿(Pilot) 필드를 이용하여 HI를 전송하는 구조를 도시하고 있다. 상기 도 3은 상기에서 설명하였듯이 HSDPA TTI 내의 슬롯 구조가 고정된 경우와 슬롯 구조가 가변적인 경우를 고려하기로 한다. 상기 도 3의 (a)는 TTI내의 모든 슬롯 구조가 고정되어 있는 경우 HI를 Pilot 필드를 이용하여 전송하는 구조를 도시한다. 상기 도 3의 (b)와 (c)는 TTI내에서 HI 전송하는 슬롯만 Pilot 필드를 이용하여 HI 전송하고 나머지 슬롯에 대해서는 기존 Release- 99 채널과 같은 슬롯 구조를 이용하는 구조를 도시한다. 이 때 상기 도 3의 (b)와 (c)는 SHCCH TTI 시작점과 DPCH 슬롯 시작점에 의해 결정되는 HI 전송되는 슬롯이 DPCH TTI 내에서 첫번째 슬롯인 경우와 두 번째 슬롯인 경우를 구분하여 도시하고 있다.

상기 도 3의 (a)을 참조하면, 먼저 DPCH에는 기존의 HSDPA 서비스를 지원하지 않는 부호분할 다중 접속 통신 시스템, 일 예로 Release- 99에서 정의된 순방향 전용 물리 채널의 구조를 포함하고 있는데, 매 전송시구간(TTI: Transmission Time Interval)은 3 슬롯으로 가정하기로 하고, 상기 슬롯 구조의 필드들을 각각을 설명하면 다음과 같다. Data 1과 Data2 필드는 상위 계층 동작을 지원하기 위한 데이터 혹은 음성 등의 전용 서비스를 지원하기 위한 데이터를 전송한다. TPC(Transfer Power Control: 전송 전력 제어) 필드는 역방향(uplink) 전송 전력을 제어하기 위한 순방향(downlink) 전송 전력 제어 명령을 전송하며, TFCI(Transfer Format Combination Indicator: 전송 포맷 조합 표시) 필드는 상기 Data1과 Data2 필드의 전송 포맷 조합 정보를 전송한다. 파일럿(Pilot) 필드는 시스템에서 미리 약속된 파일럿 심볼열을 전송하는 필드로서 UE가 순방향 채널 상태를 추정하는데 사용된다. 상기 HSDPA 서비스를 위한 HI는 상기 도 3의 (a)에 도시한 바와 같이 기존 Release- 99 순방향 DPCH내에 새롭게 정의된 필드를 통해 상기 UE에게 전송된다. 여기서, 상기 HI를 위한 새로운 필드는 상기 기존의 Release- 99의 순방향 DPCH 구조에서 Data1, TPC, TFCI, Data2 필드는 그대로 유지되고 Pilot 필드의 일부분을 분할하여 사용한 것이다. 만약, 상기 HSDPA 방식을 사용하는 통신 시스템의 순방향 DPCH의 SF가 상기 Release- 99의 순방향 DPCH보다 적다면 Release- 99 채널에 비해 전송할 수 있는 비트들의 수가 증가하게 되므로 상기 Release- 99에 정의된 필드들의 데이터 전송량에 대한 별도의 감소 없이도 상기 HI를 전송할 수 있다. 그러나 상기 도 3의 (a)에서 설명한 순방향 DPCH의 SF가 상기 Release- 99의 순방향 DPCH의 SF와 동일하다면 상기 Pilot 필드로 전송되는 비트 수를 줄여 HI가 전송될 수 있도록 해야 한다. 그리고, 상기 도 1에서 설명했듯이 전송되어야 할 HI 정보 비트 수는 2비트이다. 상기 HI 정보 비트가 DPCH 채널의 HI 필드로 그대로 전송할 수 있고 부호화하여 NHI 비트로 전송할 수 있다. 상기에서 HI 정보 두 비트를 부호화한다면 예를 들어 (NHI, 2)의 블록 코딩을 사용할 수 있을 것이다. 본 발명에서는 HI 정보 비트가 부호화 되는지의 여부를 떠나 DPCH 채널의 HI 필드로 전송되는 비트 수를 NHI로 가정하기로 하자. 상기 HI 정보 비트가 부호화되지 않으면 NHI는 2가 될 수 있고 부호화된다면 3, 4, 5, 6, 7, 8등 2보다 큰 수가 될 수 있을 것이다. 그러므로 Pilot 필드에서 전송할 수 있는 비트들에서 NHI 비트를 줄여야 한다. 예를 들어 상기 표 1의 슬롯 포맷 4에 대해서 전송될 수 있는 Pilot 비트 수가 4 비트인데 HSDPA 서비스를 위한 HI를 전송하기 위해서는 (4- NHI) 비트로 줄여야 한다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NTFCI, NData2은 상기 도 2에서 설명한 바와 같고 Pilot 필드로 전송되는 비트 수 N'Pilot는 상기 도 2에서의 비트 수 NPilot에서 HI로 전송되어야 할 비트 수 NHI를 뺀 값이 된다. 상기 도 3의 (a)에서 UE가 수신해야 할 데이터 패킷이 없는 경우는 HI 전송할 필요 없으므로 상기 HI 필드는 DTX 처리될 것이다. 또한 상기 DPCH TTI내의 세 슬롯 중 한 슬롯으로 HI 전송하였을 시 나머지 두 슬롯으로는 HI를 전송하지 않으므로 HI 필드를 DTX 처리할 것이다.

한편, 상기 Release- 99에서 정의되어 있는 순방향 채널 신호를 추정하기 위한 Pilot 비트의 패턴(pattern)을 하기 표 2에 나타내었다.

Symbol #	N _{pilot} = 2	N _{pilot} = 4 (*1)				N _{pilot} = 8 (*2)				N _{pilot} = 16 (*3)							
		0	0	1	0	1	2	3	0	1	2	3	4	5	6	7	
Slot #0	11	11	11	11	11	11	10	11	11	11	10	11	11	11	11	11	10
1	00	11	00	11	00	11	10	11	00	11	10	11	11	11	11	00	00
2	01	11	01	11	01	11	01	11	01	11	01	11	10	11	11	00	00
3	00	11	00	11	00	11	00	11	00	11	00	11	01	11	11	11	10
4	10	11	10	11	10	11	01	11	10	11	01	11	11	11	11	11	11
5	11	11	11	11	11	11	10	11	11	11	10	11	01	11	11	01	01
6	11	11	11	11	11	11	00	11	11	11	00	11	10	11	11	11	11
7	10	11	10	11	10	11	00	11	10	11	00	11	10	11	11	00	00
8	01	11	01	11	01	11	10	11	01	11	10	11	00	11	11	11	11
9	11	11	11	11	11	11	11	11	11	11	11	11	11	00	11	11	11
10	01	11	01	11	01	11	01	11	01	11	01	11	11	11	11	11	10
11	10	11	10	11	10	11	11	11	10	11	11	11	00	11	11	10	10
12	10	11	10	11	10	11	00	11	10	11	00	11	01	11	11	01	01
13	00	11	00	11	00	11	11	11	00	11	11	11	11	00	11	11	00
14	00	11	00	11	00	11	11	11	00	11	11	11	11	10	11	01	01

상기 표 2에 나타낸 Pilot 패턴에서 음영 처리된 열(row) 부분은 프레임(frame) 동기를 위한 부분(Frame Synchronization Word, 이하 FSW)으로 프레임의 동기가 맞는지 체크하기 위한 것이다. 그리고 상기 표 2에서 음영처리되지 않은 나머지 부분은 순방향 채널의 상태를 추정하기 위한 비트가 되며, 상기 HSDPA 서비스를 지원하는 통신 시스템과 상기 HSDPA 서비스를 지원하지 않는 통신 시스템의 순방향 DPCCH의 SF가 동일할 때 상기 HI를 전송하기 위해서 상기 Pilot 필드의 FSW 부분 또는 순방향 채널상태를 추정하기 위한 부분을 사용할 수 있다. 예를 들어, 상기 FSW 부분을 줄인다면 UE에게 중요한 정보인 순방향 채널 상태를 보다 정확히 추정할 수 있도록 할 수 있는 장점이 있는 반면, 프레임 동기에 대한 확신이 줄어드는 것이고, 상기 순방향 채널 상태 추정부분을 줄인다면 UE가 프레임 동기는 확신할 수 있지만 순방향 채널 상태 추정에 대한 확신이 줄어드는 것이다. 그러나 바람직하게는 NPilot이 8 이상인 경우는 채널 추정을 위한 부분보다는 FSW 부분을 줄이는 것이 좋을 수 있는데, 그 이유는 NPilot이 8 이상인 경우는 FSW를 위한 부분이 두 곳 이상이므로 한 곳을 HI 전송을 위해 희생하여도 다른 곳에서 프레임 동기를 맞출 수 있으며 채널 상태 추정을 정확히 하는 동시에 프레임 동기도 맞출 수 있기 때문이다.

상기 도 3의 (b)와 (c)는 TTI내에서 DPCH 슬롯 구조가 가변적인 경우를 도시한다. 즉 HI 전송하는 슬롯만 Pilot 필드를 이용하여 HI 전송하고 나머지 슬롯에 대해서는 기존 Release- 99 채널과 같은 슬롯 구조를 이용하는 구조를 도시한다. 상기 도 3의 (b)와 같은 채널 구조를 제안하는 것은 상기 도 3의 (a)와 같이 HI 전송할 필요 없는 슬롯에 대해서 HI 필드를 할당해 놓고 DTX 처리하는 것은 상기 HI 필드로 다른 정보가 전송될 여지를 제외시키는 것일 수 있기 때문이다.

상기 도 3의 (b)는 상기 도 1에서 설명했듯이 SHCCH TTI 시작점이 이후 처음 만나는 DPCH 슬롯이 DPCH TTI 내의 첫 슬롯인 경우의 채널 구조이고 상기 도 3의 (c)는 SHCCH TTI 시작점 이후 처음 만나는 DPCH 슬롯이 DPCH TTI 내의 두 번째 슬롯인 경우의 채널 구조를 도시한다. 상기 도 3의 (b)에서 TTI의 첫 슬롯 구조는 상기 도 3의 (a)와 같이 HI를 전송할 수 있는 구조이다. 반면 상기 도 3의 (b)에서 첫 슬롯을 제외한 나머지 두 슬롯은 HI를 전송할 필요가 없으므로 기존의 Release- 99 DPCH 채널의 구조와 같을 수 있다. 상기 도 3의 (c)에서 TTI의 두 번째 슬롯 구조는 상기 도 3의 (a)와 같이 HI를 전송할 수 있는 구조이다. 반면 상기 도 3의 (c)에서 두 번째 슬롯을 제외한 나머지 두

슬롯은 HI를 전송할 필요가 없으므로 기존의 Release- 99 DPCH 채널의 구조와 같을 수 있다. 기지국 측에서 상기도 3의 (b)와 (c)와 같이 가변적인 슬롯 구조를 사용할 때는 상기 SHCCH와 DPCH 시작점을 고려하여 가변적인 슬롯 구조를 정할 것이다. 한편 상기도 3의 (b)와 (c)에서 HI를 전송하는 슬롯들에 대해서 UE가 수신할 패킷 데이터가 없으면 상기 HI 필드를 DTX할 것이다. 상기도 3에서 본 발명에 따른 채널 구조를 고정된 슬롯 구조를 사용할 때와 가변적인 슬롯 구조를 사용할 때를 구분하였다. 상기도 3을 일반화하여 본 발명에서는 도 10과 같은 형태로 기지국이 슬롯 구조를 운용할 수 있도록 할 수 있다. 상기도 10의 (a)는 상기도 3의 (a)와 같이 고정된 슬롯 구조를 사용할 때를 나타내는 것으로 모든 슬롯에 대해 HI 필드를 별개로 할당하여 HI를 전송하는 슬롯 구조를 가지도록 할 수 있다. 이 때 HI가 전송되지 않는 슬롯의 HI 필드는 DTX 처리될 것이다. 반면 상기도 10의 (b), (c)는 상기도 3의 (b), (c)와 같이 가변적인 슬롯 구조를 사용할 경우를 나타낸다. 본 발명에 따른 DPCH의 구조가 HI 전송하는 슬롯은 HI 전송할 수 있는 구조로 HI가 전송되지 않으면 Release- 99와 같은 슬롯 구조를 가질 것이다. 상기 HI 전송하는 슬롯에 대해서는 전송할 HI가 없는 경우 HI 필드를 DTX 처리할 것이다. 하기에서 설명할 본 발명에 따른 TTI내의 DPCH의 채널 구조는 상기도 10의 세 가지 경우에 모두 적용될 것이다. 본 발명에서는 설명의 편의상 HI가 전송되는 DPCH의 슬롯 구조의 예들만을 도시하여 설명할 것이다.

한편, 상기도 2에서 설명한 바와 같이 3GPP Release- 99 표준안에서는 TFCI 필드를 분할하여 그 일부분은 순방향 전용 물리 데이터 채널(DPDCH: Dedicated Physical Data Channel, 이하 DPDCH" 라 칭하기로 한다)의 TFCI를 전송하기 위해 사용하고, 나머지 부분은 DSCH의 TFCI를 전송하기 위해서 사용하는 것을 정의하고 있다. HSDPA 서비스를 지원하는 Node B의 경우, HS- DSCH를 통해 HSDPA 데이터 패킷을 UE에게 전송하게 되면 Release- 99에서 정의된 DSCH를 통한 패킷 서비스를 하지 않게 된다. 즉 단말이 HSDPA 서비스를 받을 경우 순방향 DPCH의 DSCH를 위한 TFCI 부분은 DTX 처리될 것이다. 따라서, HSDPA 서비스를 지원하기 위해 도 4에서 도시하고 있듯이 TFCI 필드를 Release- 99 표준 안에서 정의하고 있는 바와 같이 분할하여 그 일부분은 순방향 DPDCH의 TFCI 전송을 위해 사용하고, 나머지 일부분, 즉 기존에 DSCH의 TFCI를 전송하던 부분을 상기 HI를 전송하기 위해 사용할 수 있다. 이 경우 기지국이 전송할 HI가 없는 경우나 HI를 전송하지 않는 슬롯에 대해서 DSCH를 위한 TFCI 필드는 DTX 처리할 것이다. 그런데, 상기 표 1에 나타낸 바와 같이 TFCI의 비트 수는 NTFCI 비트(NTFCI= 0, 2, 4, 8)이다. 일 예로 TFCI가 2비트인 경우 한 비트는 순방향 DPDCH를 위한 TFCI, 나머지 한 비트는 DSCH를 위한 TFCI가 될 것이다. 그런데, 상기 HI가 전송되는데 필요로 하는 비트가 NHI 비트임을 감안하면 TFCI 필드로는 HI 중 한 비트 또는 두 비트, 네 비트만 전송할 수 있기 때문에, 상기 TFCI 필드로 전송할 수 없는 나머지 HI 비트는 다른 필드로 전송될 수 있다. 상기 HI의 나머지 비트를 전송하기 위한 필드는 Data 필드 또는 Pilot 필드 또는 상기 두 필드로 결정할 수 있다. 그러면 상기와 같은 구조를 도 4를 참조하여 설명하기로 한다.

상기도 4는 본 발명의 다른 실시 예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 Release- 99에서 TFCI 필드 중 DSCH를 위한 TFCI 정보를 보내는 필드를 HI 1 필드로 정의하여 HI 중 일부 비트가 전송되고, 나머지 필드의 일부분을 HI 2 필드로 정의하여 상기 HI 중 나머지 비트가 전송되는 경우를 도시하고 있다. 또는 상기 DSCH를 위한 TFCI 필드에 충분한 비트가 할당되어 있어 TFCI 필드 중 일부를 HI 필드로 할당하는 경우도 도시하고 있다.

상기도 4는 상기에서 설명했듯이 HI 전송되는 슬롯에서의 슬롯 구조의 예들을 도시하고 있다. 기지국은 상기도 10과 같이 HI 전송하는 슬롯 구조를 고정적으로 사용할 수 있고 HI 전송하는 슬롯 구조와 전송하지 않는 슬롯 구조를 가변적으로 사용할 수 있을 것이다. 여기서, 상기도 4의 HI 전송해야 하는 슬롯 구조에 대해서 상기 전송해야 할 HI 비트가 없는 경우는 HI 1 필드와 HI 2 필드를 DTX 처리한다.

상기도 4의 (a)는 HI 전송하는 DPCH 슬롯 구조에서 TFCI 필드의 일부분을 HI 필드로 하는 예를 도시한다. 즉 상기도 4의 (a)는 DSCH용으로 정의된 TFCI 필드를 HI를 전송하기 위한 필드로 정의하고 있으며 상기 필드로 총 NHI 비트가 전송될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NData2, NPilot은 상기

도 2에서 설명한 바와 같고, TFCI 필드로 전송되는 비트 수는 N0TFCI으로 NTFCI NHI가 된다. 상기 표 1을 참조하여 예를 들면 확산율이 128 이상인 경우 TFCI 필드로 전송될 수 있는 비트 수 NTFCI는 0 또는 2이다. 본 발명에서는 설명의 편의상 압축모드의 슬롯 포맷은 예에서 제외하기로 한다. 그러면 Release- 99에서 DSCH를 위한 TFCI 필드로는 0 또는 1비트가 전송될 것이다. 즉 HI 필드의 비트 수 NHI은 1이 할당될 것이다. 상기 도 1에서 설명했듯이 상기 HI의 정보 비트는 두 비트이므로 실제로 확산율이 128이상일 경우는 HI 정보를 다 전송할 수 없을 것이다. 그러므로 DSCH를 위한 TFCI 필드 뿐 아니라 다른 필드를 이용해야 할 것이다. 반면 상기 표 1에서 DPCH의 확산율이 64이하인 경우 TFCI 8비트가 할당될 수 있으므로 본 발명에 따른 HI 필드의 비트 수 NHI는 4가 할당될 수 있을 것이다. 이 때 HI 필드의 비트 수가 4이므로 (4,2)의 블록 코딩을 이용해 HI를 전송할 수 있다.

상기 도 4의 (b)의 HI 전송하는 DPCH 슬롯 구조에서 TFCI 필드의 일부분을 HI 1 필드, 파일럿 필드의 일부분을 HI 2 필드로 하는 예를 도시한다. 상기 도 4의 (b)에서 HI 1 필드로는 N1HI1 비트가 전송되고 HI 2 필드로는 N1HI2 비트가 전송될 것이다. 전체 전송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N1HI1 + N1HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 HI 비트 수가 상기에서 NData1, NTPC, NData2은 상기 도 2에서 설명한 바와 같고, TFCI 필드로 전송되는 비트 수는 N1TFCI으로 NTFCI N1HI1이 된다. 그리고 Pilot 필드로 전송되는 비트 수는 N1Pilot으로 Npilot N1HI2이 된다. 상기 표 1을 참조하여 예를 들면 확산율이 128 이상인 경우 TFCI 필드로 전송될 수 있는 비트 수 NTFCI는 0 또는 2이다. 그러면 Release- 99에서 DSCH를 위한 TFCI 필드로는 0 또는 1비트가 전송될 것이다. 즉 HI 1 필드의 비트 수 N1HI1은 1이 할당될 수 있다. Release- 99의 파일럿 필드를 분할한 HI 2 필드의 비트 수 N1HI2로 2가 할당될 수 있다면 총 전송될 수 있는 HI 비트 수 NHI는 3 비트이므로 (3, 2)의 블록 코딩을 이용해 HI 정보비트 2비트를 전송할 수 있을 것이다. 그리고 상기 표 1에서 확산율이 64이하인 경우 TFCI 8비트가 할당될 수 있으므로 본 발명에 따른 HI 1 필드의 비트 수 N1HI1는 4가 할당될 수 있을 것이다. 이 때 HI 2 필드의 비트 수 N1HI2로 2가 할당되면 전송할 수 있는 NHI는 6이 되어 (6,2)의 블록 코딩을 이용해 HI를 전송할 수 있을 것이다.

또한 상기 도 4의 (b)와 유사한 전용 물리 채널 구조를 도 4의 (c)에서 도시하고 있다. 상기 도 4의 (c)는 본 발명의 또 다른 실시예에 따른 HI 전송하는 DPCH 슬롯 구조를 도시한 도면으로서, TFCI 필드의 일부분을 HI 1 필드, Data2와 파일럿의 부분을 HI 2 필드로 하는 예를 도시한다. 상기 도 4의 (c)에서 HI 1 필드로는 N2HI1 비트가 전송되고 Data2 필드와 Pilot 필드에 걸친 HI 2 필드로는 N2HI2 비트가 전송될 것이다. 전체 전송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N2HI1 + N2HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC는 상기 도 2에서 설명한 바와 같고, TFCI 필드로 전송되는 비트 수는 N2TFCI으로 NTFCI N2HI1이 된다. Data2 필드로 전송되는 비트 수는 Data2 필드 중 몇 비트를 HI 2 필드에 할당할지에 따라 달라진다. 예를 들어 Data2 필드 중 K 비트를 HI 2필드로 할당해 준다면 Data2 필드로 전송되는 비트 수 N1Data2는 N Data2 K가 된다. 그러면 파일럿 필드로 전송되는 비트 수 N2Pilot은 NPilot (N2HI2 K) 가 된다. 상기 도 4의 (b)와 같이 상기 표 1을 참조하여 예를 들면 DPCH의 확산율이 128이상일 경우, N2HI1은 1이 될 수 있을 것이고 N2HI2를 2로 할당한다면 NHI는 3이 된다. 그러므로 기지국은 HI를 (3,2)의 블록 코딩을 사용해 전송할 수 있다. 상기 N2HI2를 2로 할당하는 것은 Data2 필드에 한 비트, 파일럿 필드에 한 비트를 분할함을 의미한다. DPCH의 확산율이 64이하인 경우 기지국은 N2HI1에 4비트를 할당할 수 있고 HI 2 필드에 N2HI2 비트를 할당하여 (4 + N2HI2, 2)의 블록 코딩된 HI를 전송할 수 있다.

상기 도 4의 (d)는 본 발명의 또 다른 실시예에 따른 HI 전송하는 DPCH 슬롯 구조를 도시한 도면으로서, TFCI 필드의 일부분을 HI 1 필드, Data1 필드의 일부분을 HI 2 필드로 하는 예를 도시한다. 상기 도 4의 (d)에서 HI 1 필드로는 N3HI1 비트가 전송되고 HI 2 필드로는 N3HI2 비트가 전송될 것이다. 전체 전송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N3HI1 + N3HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NTPC, NData2, NPilot은 상기 도 2에서 설명한 바와 같고, TFCI 필드로 전송되는 비트 수는 N3TFCI으로 NTFCI N1HI1이 된다. 그리고 Data1 필드로 전송되는 비트 수 N1Data1은 NData1 N3HI2이 된다. 상기 표 1을

참조하여 예를 들면 DPCH의 확산율이 128이상일 경우, N3HI1은 1이 될 수 있을 것이고 N3HI2를 2로 할당한다면 NHI는 3이 된다. 그러므로 기지국은 HI를 (3,2)의 블록 코딩을 사용해 전송할 수 있다. DPCH의 확산율이 64이하인 경우 기지국은 N3HI1에 4비트를 할당할 수 있고 HI 2 필드에 N3HI2 비트를 할당하여 (4 + N2HI2, 2)의 블록 코딩된 HI를 전송할 수 있다. 상기 도 4의 (e)는 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 Release- 99에서 TFCI 필드중 DSCH를 위한 TFCI 정보를 보내는 필드를 HI 1 필드로 정의하여 HI 중 일부 비트가 전송되고, Data 2필드의 일부분을 HI2 필드로 정의하여 상기 HI 중 나머지 비트가 전송되는 경우를 도시하고 있다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NPilot은 상기 도 2에서 설명한 바와 같고 TFCI 필드로 전송되는 비트 수는 N4TFCI로 NTFCI N4HI1이 된다. 그리고 Data2 필드로 전송되는 비트 수는 N2Data2으로 NData N4HI2이 된다. 상기 표 1을 참조하여 예를 들면 DPCH의 확산율이 128이상일 경우, N4HI1은 1이 될 수 있을 것이고 N4HI2를 2로 할당한다면 NHI는 3이 된다. 그러므로 기지국은 HI를 (3,2)의 블록 코딩을 사용해 전송할 수 있다. DPCH의 확산율이 64이하인 경우 기지국은 N4HI1에 4비트를 할당할 수 있고 HI 2 필드에 N4HI2 비트를 할당하여 (4 + N2HI2, 2)의 블록 코딩된 HI를 전송할 수 있다.

상기 도 4 와 같은 방법으로 HI를 전송할 경우는 Release- 99 순방향 DPCH 슬롯 구조와 HSDPA 서비스를 지원하는 순방향 DPCH 슬롯구조의 구분 없이 UE가 순방향 DPCH를 수신할 수 있다는 장점이 있다. 즉, DSCH를 위한 TFCI 필드인 HI 1필드가 DTX이면 상기 UE는 수신할 HI 정보가 없는, 즉 HI가 전송되지 않는 Release- 99 순방향 DPCH 임을 알 수 있고, HI 1 필드로 비트가 전송되면 HSDPA 서비스를 위한 순방향 DPCH임을 알 수 있기 때문이다. 즉, HI 1 필드가 DTX이면 Release- 99의 순방향 DPCH이므로 HI 2 필드로는 HSDPA 서비스를 위해 줄였던 Data 또는 Pilot의 정보가 전송될 수 있다. HI 1 필드로 비트가 전송되면 상기 HSDPA를 지원하기 위한 순방향 DPCH이므로 HI 2 필드로는 Data 또는 Pilot 필드를 줄여서 HI 비트가 전송되는 것이다. 결국 상기 도 4와 같은 DPCH 슬롯 구조를 가지면 HI 1 필드를 지시자로 하여 HI 1 필드의 DTX 여부에 따라 Release- 99용 채널인지 HSDPA 서비스를 지원하기 위한 채널인지 구분할 수 있게 되는 것이다. 상기의 개념은 상기 도 10의 (b)와 (c)에서 설명한 기지국의 가변적인 슬롯 구조 운용의 개념과 같다. 즉 상기 도 10의 (b)와 (c)에서 기지국이 SHCCH와 DPCH의 타이밍에 의해 HI 전송하는 슬롯 구조와 HI 전송하지 않는 슬롯 구조를 가변적으로 사용하였다. 상기 도 4의 경우는 기지국이 DSCH를 위한 TFCI의 DTX 여부에 따라서 HI 전송하는 슬롯 구조와 HI 전송하지 않는 슬롯 구조를 가변적으로 운용하는 경우이다.

상기 도 4에서는 TFCI 필드를 Release- 99 표준 안에서 정의하고 있는 바와 같이 분할하여 그 일부분은 순방향 DPDCH의 TFCI 전송을 위해 사용하고, 나머지 일부분, 즉 기존에 DSCH의 TFCI를 전송하던 부분과 다른 필드를 이용하여 상기 HI를 전송하는 경우를 설명하였다. 본 발명에서는 HI 전송을 위해 TFCI 전체 필드를 이용하는 또 다른 방안을 도 11에서 도시하고 있다. 상기 도 11은 TTI내의 세 슬롯 중 HI가 전송되어야 하는 슬롯의 DPDCH를 위한 TFCI 필드와 DSCH를 위한 TFCI 필드 전체로 HI를 전송하는 방안을 도시하고 있다. 상기 도 11에서는 일 예로 HI가 전송되어야 하는 슬롯을 첫 번째 슬롯으로 가정한 경우이다. HI가 TTI내의 두 번째 슬롯으로 전송될 수도 있으나 편의상 첫 번째 슬롯으로 HI가 전송된다고 가정한다. 그러면 기지국은 첫 번째 슬롯의 DPDCH와 DSCH를 위한 TFCI 필드를 HI 필드로 할당한다. 이 때 만약 첫 번째 슬롯으로 전송되어야 할 DPDCH를 위한 TFCI 정보가 있다면 첫 번째 슬롯으로 전송되지 못한 상기 TFCI 정보는 두 번째 슬롯 또는 세 번째 슬롯의 DSCH를 위한 TFCI 필드로 전송될 수 있을 것이다. 상기 도 11에서는 일 예로 첫 번째 슬롯으로 전송되지 못한 DPDCH를 위한 TFCI를 두 번째 슬롯의 DSCH를 위한 TFCI 필드로 전송하는 경우를 도시하고 있다. 물론 두 번째 슬롯으로 전송되어야 할 TFCI 정보가 있다면 상기 정보는 두 번째 슬롯의 DPDCH를 위한 TFCI 필드로 전송될 것이다.

상기의 경우에 대해 TTI내 첫 번째 슬롯의 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NData2, NPilot은 상기 도 2에서 설명한 바와 같고 Release- 99에서 TFCI 필드였던 HI 필드로 전송되는 비트 수는 NHI이다. 상기 표 1을 참조하여 예를 들면 DPCH의 확산율이 128이상일 경우 TFCI 필드는 0 또는 2비트가 할당되어 있다. 그러므로 상기 도 11의 HI 필드로 전송될 수 있는 비트 수는 2비트가 된다. 즉 NHI가 2임을 나타낸다. 그러므로 기지국은 2비트의 HI

정보를 코딩없이 상기 HI 필드로 전송 가능하다. 그러면 TTI내의 두 번째 슬롯에 대해서 각 필드로 NData1, NTPC, NData2, Npilot가 전송된다. DPCH의 확산율이 128이상인 경우 기지국은 두 번째 슬롯의 TFCI 필드로 두 번째 슬롯으로 전송되어야 할 DPDCH를 위한 TFCI 한 비트와 첫 번째 슬롯으로 전송되지 못했던 DPDCH를 위한 TFCI 한 비트를 함께 전송한다. DPCH의 확산율이 64이하인 경우 기지국은 TFCI 필드에 8비트를 할당할 수 있어 NHI가 8이 되어 (8, 2)의 블록 코딩된 HI를 전송할 수 있다. DPCH의 확산율이 64이하인 경우 기지국은 두 번째 슬롯의 TFCI 필드로 두 번째 슬롯으로 전송되어야 할 DPDCH를 위한 TFCI 네 비트와 첫 번째 슬롯으로 전송되지 못했던 DPDCH를 위한 TFCI 네 비트를 함께 전송할 것이다.

상기 도 11과 같은 순방향 DPCH의 슬롯 구조를 가질 때 첫 번째 슬롯으로 HI가 전송됨에 따라 첫 번째 슬롯으로 전송되지 못한 DPDCH를 위한 TFCI 정보는 두 번째 슬롯 또는 세 번째 슬롯으로 전송된다. 이런 경우에 발생할 수 있는 문제점에 대해서도 12를 이용하여 설명하겠다. 우선 Release- 99에서 TFCI 정보는 한 프레임에서 여러 슬롯에 걸쳐 DPCH를 위한 TFCI 필드로 전송됨을 상기하자. 그러면 단말 측에서는 여러 슬롯에 걸쳐 전송된 TFCI 정보를 모아서 상기 프레임을 디코딩할 수 있다. 상기 도 12는 일 예로 SHCCH의 TTI 시작점이 DPCH의 n번째 프레임의 14번째 슬롯 앞에 위치하는 경우를 도시하고 있다. 이 때 SHCCH의 TTI 시작점 이후 처음 만나는 슬롯이 DPCH의 n번째 프레임의 14번째 슬롯이므로 기지국은 DPCH 슬롯 14번으로 HI를 전송할 것이다. 상기 도 12의 슬롯 구조가 상기 도 11의 슬롯 구조와 같다면 14번째 슬롯으로는 DPDCH를 위한 TFCI 정보가 전송되지 못한다. 그러면 상기 도 11에서 설명했듯이 DPCH에서 DPDCH를 위한 TFCI 정보는 $(n+1)$ 번째 프레임의 첫 번째 슬롯으로 전송되어야 할 것이다. 그런데 상기 14번째 슬롯으로 전송되지 못한 TFCI 정보는 n번째 프레임을 위한 TFCI이므로 다음 프레임으로 전송되어서는 안 된다. 그래서 상기 도 11과 같은 슬롯 구조를 사용할 때 기지국은 HI 때문에 전송하지 못하는 DPDCH를 위한 TFCI를 보내 줄 슬롯의 위치를 그 프레임의 슬롯으로 한정할 필요가 있다.

그래서 예를 들어 HSDPA TTI 내에서 첫 슬롯으로 HI를 전송하고 다음 슬롯으로 DPDCH를 위한 TFCI를 전송하고자 할 경우 그 프레임 내에서 TFCI를 전송할 슬롯의 번호를 다음과 같은 수학식으로 표현할 수 있다.

수학식 1

$$\text{DPDCH를 위한 TFCI 전송할 슬롯 번호} = (\text{HI 전송하는 슬롯 번호} + 1) \bmod 15$$

상기 도 11의 예를 이용하면 HI 전송하는 슬롯 번호가 14이므로 14번 슬롯에서 전송하지 못한 DPDCH를 위한 TFCI는 상기 수학식 1에 따라 n번째 프레임의 0번으로 전송될 수 있다. 마찬가지로 HSDPA TTI 내에서 첫 슬롯으로 HI를 전송하고 세 번째 슬롯으로 DPDCH를 위한 TFCI를 전송하고자 할 경우 그 프레임 내에서 TFCI를 전송할 슬롯의 번호를 다음과 같은 수학식으로 표현할 수 있다.

수학식 2

$$\text{DPDCH를 위한 TFCI 전송할 슬롯 번호} = (\text{HI 전송하는 슬롯 번호} + 2) \bmod 15$$

상기 도 11의 예를 이용하면 HI 전송하는 슬롯 번호가 14이므로 14번 슬롯에서 전송하지 못한 DPDCH를 위한 TFCI는 상기 수학식 2에 따라 n번째 프레임의 1번으로 전송될 수 있다.

상기 수학식 1과 2는 하기에 설명할 본 발명에 따른 HI 전송하는 슬롯에서 TFCI 필드 전체를 HI 1 필드로 두고 전송되지 못한 DPDCH를 위한 TFCI는 다음 슬롯 또는 그 다음 슬롯으로 전송되는 슬롯 구조에 모두 적용될 것이다.

도 13은 HI 전송을 위해 TFCI 전체 필드를 HI 1 필드로 나머지 필드의 일부분을 HI 2 필드로 이용하는 방안들을 도시하고 있다. 상기 도 13의 (a)는 TTI내의 세 슬롯 중 HI가 전송되어야 하는 슬롯의 DPDCH를 위한 TFCI 필드와 DSC H를 위한 TFCI 필드 전체를 HI 1 필드로 파일럿 필드의 일부를 HI 2 필드로 할당하는 방안을 도시하고 있다.

상기 도 13의 (a)에서 HI 1 필드로는 N5HI1 비트가 전송되고 HI 2 필드로는 N5HI2 비트가 전송될 것이다. 전체 전

송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N5HI1 + N5HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NData2는 상기 도 2에서 설명한 바와 같고, Pilot 필드로 전송되는 비트 수는 N3Pilot으로 NPilot N5HI2이 된다. 상기 표 1을 참조하여 예를 들면 확산율이 128 이상인 경우 TFCI 필드로 전송될 수 있는 비트 수 NTFCI는 0 또는 2이다. 즉 HI 1 필드의 비트 수 N5HI1은 2가 할당될 수 있다. Release- 99의 파일럿 필드를 분할한 HI 2 필드의 비트 수 N5HI2로 2가 할당될 수 있다면 총 전송될 수 있는 HI 비트 수 NHI는 4 비트이므로 (4, 2)의 블록 코딩을 이용해 HI 정보비트 2비트를 전송할 수 있을 것이다. 그리고 상기 표 1에서 확산율이 64이하인 경우 TFCI 8비트가 할당될 수 있으므로 본 발명에 따른 HI 1 필드의 비트 수 N5HI1은 8이 할당될 수 있을 것이다. 이 때 HI 2 필드의 비트 수 N5HI2로 2가 할당되면 전송할 수 있는 NHI는 10이 되어 (10,2)의 블록 코딩을 이용해 HI를 전송할 수 있을 것이다.

상기 도 11과 같이 첫 번째 슬롯으로 전송되지 못한 DPDCH를 위한 TFCI는 두 번째 슬롯으로 전송될 것이다. 상기 도 13의 (a)에서는 두 번째 슬롯으로 DPDCH를 위한 TFCI가 전송되는 경우를 도시하였으나 세 번째 슬롯으로 DPDCH를 위한 TFCI가 전송될 수도 있다. 그리고 상기 도 13의 (a)는 가변적인 슬롯 구조를 도시하고 있다. 이는 상기 도 10의 (b), (c)의 경우와 마찬가지로 HI가 전송되지 않는 슬롯으로 다른 정보를 전송하기 위한 것이다. 즉 상기 도 13의 (a)의 두 번째와 세 번째 슬롯은 HI가 전송될 필요가 없으므로 파일럿 필드 부분을 HI 2 필드로 할당하지 않고 원래의 파일럿들을 전송하고 있다. 상기 도 13의 (a)에 대해 고정적인 슬롯 구조도 사용할 수 있을 것이다. 그러면 두 번째, 세 번째 슬롯에 대해서도 HI 2 필드가 할당되어 있고 전송할 HI 비트가 없으므로 DTX 처리될 것이다. 상기 도 13의 (a)에서 설명한 슬롯 구조에 대한 내용들을 하기의 도 13의 (b), (c)에도 마찬가지로 적용될 수 있다.

상기 도 13의 (b)는 TTI내의 세 슬롯 중 HI가 전송되어야 하는 슬롯의 DPDCH를 위한 TFCI 필드와 DSCH를 위한 TFCI 필드 전체로 HI 1 필드로 Data2 필드의 일부를 HI 2 필드로 할당하는 방안을 도시하고 있다. 상기 도 13의 (b)에서 HI 1 필드로는 N6HI1 비트가 전송되고 HI 2 필드로는 N6HI2 비트가 전송될 것이다. 전체 전송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N6HI1 + N6HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NPilot은 상기 도 2에서 설명한 바와 같고, Data2 필드로 전송되는 비트 수는 N3Data2으로 NData2 N6HI2이 된다. 상기 표 1을 참조하여 예를 들면 확산율이 128 이상인 경우 TFCI 필드로 전송될 수 있는 비트 수 NTFCI는 0 또는 2이다. 즉 HI 1 필드의 비트 수 N6HI1은 2가 할당될 수 있다. Release- 99의 Data2 필드를 분할한 HI 2 필드의 비트 수 N6HI2로 2가 할당될 수 있다면 총 전송될 수 있는 HI 비트 수 NHI는 4 비트이므로 (4, 2)의 블록 코딩을 이용해 HI 정보비트 2비트를 전송할 수 있을 것이다. 그리고 상기 표 1에서 확산율이 64이하인 경우 TFCI 8비트가 할당될 수 있으므로 본 발명에 따른 HI 1 필드의 비트 수 N6HI1은 8이 할당될 수 있을 것이다. 이 때 HI 2 필드의 비트 수 N6HI2로 2가 할당되면 전송할 수 있는 NHI는 10이 되어 (10,2)의 블록 코딩을 이용해 HI를 전송할 수 있을 것이다.

상기 도 13의 (c)는 TTI내의 세 슬롯 중 HI가 전송되어야 하는 슬롯의 DPDCH를 위한 TFCI 필드와 DSCH를 위한 TFCI 필드 전체로 HI 1 필드로 파일럿과 Data2 필드의 일부를 HI 2 필드로 할당하는 방안을 도시하고 있다. 상기 도 13의 (c)에서 HI 1 필드로는 N7HI1 비트가 전송되고 HI 2 필드로는 N7HI2 비트가 전송될 것이다. 전체 전송되어야 할 HI 비트 수가 상기에서 NHI 비트라고 하였으므로 상기에서 $NHI = N7HI1 + N7HI2$ 가 될 것이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NPilot은 상기 도 2에서 설명한 바와 같다. Data2 필드로 전송되는 비트 수는 Data2 필드 중 몇 비트를 HI 2 필드에 할당할지에 따라 달라진다. 예를 들어 Data2 필드 중 K 비트를 HI 2필드로 할당해 준다면 Data2 필드로 전송되는 비트 수 N4Data2는 NData2 K가 된다. 그러면 파일럿 필드로 전송되는 비트 수 N4Pilot은 NPilot (N7HI2 K)가 된다. 상기 표 1을 참조하여 예를 들면 확산율이 128 이상인 경우 TFCI 필드로 전송될 수 있는 비트 수 NTFCI는 0 또는 2이다. 즉 HI 1 필드의 비트 수 N7HI1은 2가 할당될 수 있다. Release- 99의 Data2 필드를 분할한 HI 2 필드의 비트 수 N7HI2로 2가 할당될 수 있다면 총 전송될 수 있는 HI 비트 수 NHI는 4 비트이므로 (4, 2)의 블록 코딩을 이용해 HI 정보비트 2비트를 전송할 수 있을 것이다. 그리고 상기 표 1에서 확산율이 64이하인 경우 TFCI 8비트가 할당될 수 있으므로 본 발명에 따른 HI 1 필드의 비트 수 N7HI1은 8이

할당될 수 있을 것이다. 이 때 HI 2 필드의 비트 수 N7HI2로 2가 할당되면 전송할 수 있는 NHI는 10이 되어 (10,2)의 블록 코딩을 이용해 HI를 전송할 수 있을 것이다.

상기 도 9는 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 Data2 필드의 일부를 필드를 HI 필드로 정의하는 경우와 Data2 필드와 파일럿 필드 두 필드에 걸쳐 HI 필드를 정의하는 경우를 도시하고 있다. 상기 도 9의 (a)는 HI 전송하는 DPCH 슬롯 구조를 도시한 도면으로서, Data2 필드의 일부분을 HI 필드로 하는 예를 도시한다. 상기 도 9의 (a)에서 전체 전송되어야 할 HI 비트 수는 상기에서 NHI 비트이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NTFCI, NPilot은 상기 도 2에서 설명한 바와 같고 Data2 필드로 전송되는 비트 수 N3Data2는 NData2 NHI가 된다. 상기 도 9의 (b)는 HI 전송하는 DPCH 슬롯 구조를 도시한 도면으로서, Data2 필드의 일부분과 파일럿 필드의 일부분을 동시에 HI 필드로 하는 예를 도시한다. 상기 도 9의 (b)에서 HI 필드로 전송되어야 할 HI 비트 수는 상기에서 NHI 비트이다. 상기의 경우에 대해 각 필드로 전송되어야 할 비트 수 NData1, NTPC, NTFCI은 상기 도 2에서 설명한 바와 같고 Data2 필드로 전송되는 비트 수는 Data2 필드 중 몇 비트를 HI 필드에 할당할 지에 따라 달라진다. 예를 들어 Data2 필드 중 L 비트를 HI 필드로 할당해 준다면 Data2 필드로 전송되는 비트 수 N4Data2는 NData2 L이 된다. 그러면 파일럿 필드로 전송되는 비트 수 N3Pilot은 NPilot (NHI L)가 된다. 다음으로 통상적인 Release- 99에서 정의된 순방향 DPCH의 SF가 512인 경우의 슬롯 구조를 도 5를 참조하여 설명하기로 한다.

상기 도 5는 통상적인 부호 분할 다중 접속 통신 시스템에서 순방향 전용 물리 채널 구조를 도시한 도면으로서, 특히 SF가 512일 경우의 순방향 DPCH 구조를 도시한 도면이다.

상기 도 5를 참조하면, 순방향 DPCH의 SF가 512이면 순방향 DPCH는 상기 표 1의 슬롯 포맷 0과 1에 따라 Data1 필드는 존재하지 않고 TPC, TFCI, Data2, Pilot 필드로 구성된다. 상기에서 설명했듯이 SF가 512인 경우 순방향 DPC H는 음성 서비스를 제공하기 보다는 다른 공용채널의 물리계층 제어를 위한 것일 수 있다. 예를 들어 상기 표 1의 슬롯 포맷 0을 가지는 순방향 DPCH는 역방향으로 패킷을 전송하기 위해 Release- 99에서 정의된 공통패킷채널(Common Packet Channel, 이하 CPCH)을 제어하기 위해 사용된다. 순방향 DPCH는 UE의 CPCH의 전송전력을 제어하기 위한 TPC 명령을 TPC 필드로 CPCH를 제어하기 위한 상위 시그널링 정보를 Data2 필드로 사용한다. 3GPP 표준에서는 이와 같이 CPCH 제어를 위한 Data2 필드를 CCC(CPCH Control Command)라 하고 있다. 상기 도 5에서 MTPC, MTF CI, MData2, MPilot은 각 필드로 전송되는 비트 수를 의미한다.

상기 도 5에서는 HSDPA 서비스를 지원하지 않는 통상적인 부호 분할 다중 접속 통신 시스템의 순방향 DPCH 구조, 특히 SF가 512일 경우의 순방향 DPCH 구조를 설명하였으며, 이와는 반대로 HSDPA 서비스를 지원하는 통신 시스템의 순방향 DPCH 구조, 특히 SF가 512일 경우 순방향 DPCH 구조의 또 다른 예를 도 6을 참조하여 설명하기로 한다.

상기 도 6은 본 발명의 또 다른 실시예에 따른 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템의 순방향 전용 물리 채널 구조를 도시한 도면이다.

상기 도 6을 참조하면, UE가 Node B로부터 HSDPA 서비스만 받고 음성 서비스를 받지 않는다면 상기 Node B는 상기 도 6과 같이 HSDPA 서비스를 지원하기 위해 SF가 512인 순방향 DPCH를 UE에게 전송할 것이다. 상기 HSDPA를 지원하기 위한 순방향 DPCH의 SF가 상기 도 5에서 설명한 Release- 99 순방향 DPCH의 SF와 동일하다면, 즉 SF가 512라면 상기 도 5에서 설명한 바와 같은 순방향 DPCH 구조에서 어느 한 필드를 줄여 HI를 전송하기 위한 필드를 생성하여야만 할 것이다. 물론 상기 도 4에서 설명한 바와 같이 다양하게 필드를 줄여서 상기 HI를 전송하는 것이 가능하다. 그런데 상기 HI를 전송하기 위해서 순방향 채널의 상태를 추정하기 위해 필요한 Pilot 필드의 전송 비트수를 줄이기 보다는 오히려 Data2 필드의 전송 비트수를 줄여서 상기 HI를 전송할 수 있도록 하는 것이 UE의 복조 성능 면에서 바람직하다고 할 수 있다. 상기 도 6에서는 HI를 전송하기 위해서 상기 도 5의 Data2를 줄이는 한 예를 도시한 것이다. 상

기의 경우에 대해 각 필드로 전송되어야 할 비트 수 MTPC, MData2, MPilot은 상기 도 5와 Data2 필드로 전송되는 비트 수는 M1Data2으로 Mdata2 - NHI이 된다. 다음으로 상기에서 설명한 바와 같은 HSDPA 방식을 사용하는 통신 시스템과 상기 HSDPA 방식을 사용하지 않는 통신 시스템에서 모두 호환 가능하도록 하는 순방향 DPCH 신호를 송수신하기 위한 장치들을 도 7 및 도 8을 참조하여 설명하기로 한다.

상기 도 7은 본 발명의 실시예에서의 기능을 수행하기 위한 기지국 장치의 내부 구성을 도시한 블록도이다.

상기 도 7을 참조하면, DPCH를 통해 전송될 데이터(701)는 부호기(702)에 의해 채널부호화되고 레이트 매칭부(703)에 의해 DPCH에서 전송될 비트수로 레이트 매칭(rate matching)된다. 상기 도 1에서 HI 정보비트는 두 비트임을 언급하였다. 본 발명에서는 상기 HI 정보 비트를 그대로 하향 DPCH로 전송할 수도 있고 상기 HI 비트를 NHI 비트로 코딩할 수도 있다. 상기 도 7에서는 HI(704)가 코딩되는 경우를 포함할 수 있도록 부호기(726)를 이용한다. 예를 들어 상기 부호기(726)은 (NHI, 2)의 블럭 코딩할 수 있고 또는 다른 컨볼루셔널 코딩을 할 수도 있다. 만약 HI(704)가 코딩되지 않는다면 상기 부호기(726)은 HI 정보비트를 그대로 출력으로 할 것이다. 상기 레이트 매칭부(703)의 출력, 상기 부호기(726)의 출력, TFCI(705), Pilot(706), TPC(707)은 다중화기(708)에 인가되어 하나의 비트 스트림으로 출력된다. 여기에서 상기 도 10과 같이 TTI내의 DPCH 슬롯 구조가 HI 전송하는 슬롯 구조로 고정되어 있는 경우와 HI 전송하는 슬롯 구조와 HI 전송하지 않는 슬롯 구조로 가변적인 경우를 모두 포함하기 위해 제어부(727)이 필요하다. 그리고 상기 도 11과 13과 같이 DPDCH를 위한 TFCI 필드를 HI 필드로 할당하는 경우 전송하지 못하는 TFCI 정보를 다른 슬롯으로 전송하기 위해 제어부(727)가 필요한다. 상기 제어부(727)는 DPCH 슬롯 구조가 가변적일 경우 상기 다중화기(708)를 제어하여 HI 전송하는 슬롯구조와 HI 전송하지 않는 슬롯구조를 다르게 만들어 준다. 예를 들어 상기 도 10의 (b)와 같은 경우 TTI내의 첫 번째 슬롯은 HI 전송하는 슬롯이므로 제어부(727)는 상기 다중화기(708)가 HI 필드를 할당해 놓도록 한다. 그리고 상기 도 10의 (b)와 같은 경우 TTI내의 두 번째, 세 번째 슬롯은 HI 전송하지 않는 슬롯이므로 제어부(727)는 상기 다중화기(708)가 기존의 Release- 99의 DPCH 슬롯 구조로 다중화하도록 제어한다. 만약 기지국이 상기 도 10의 (a)와 같이 고정적인 슬롯 구조를 운용할 때는 상기 제어부(727)은 어떠한 역할도 수행하지 않을 것이다. 그리고 상기 제어부(727)는 DPCH의 슬롯 구조를 상기 도 11, 13과 같이 운용할 경우 HI 때문에 전송하지 못하는 TFCI를 상기 수학식 1과 2를 이용하여 같은 프레임 내의 다른 슬롯으로 전송할 수 있도록 상기 다중화기(708)을 제어한다.

상기 도 3과, 도 4 및 도 6, 도 9, 도 11, 도 13에서 설명한 HI를 전송하기 위한 순방향 전용물리채널의 구조가 다르므로 상기 다중화기(708)에서 하나의 비트 스트림을 만들어 내는 과정이 다르게 된다. 설명의 편의를 위해 HSDPA 서비스를 지원하기 위한 순방향 DPCH의 SF가 Release- 99의 순방향 DPCH의 SF와 같다고 가정하기로 한다. 상기 도 3의 경우에 상기 다중화기(708)가 HI를 전송하기 위해 Release- 99에서 정의된 Pilot 비트를 NHI 비트 없애고 대신 HI를 보내도록 한다. 상기 도 4의 경우는 상기 다중화기(708)가 HI를 전송하기 위해 DSCH를 위한 TFCI 필드로 HI 일부 비트와 다른 필드로부터 HI 나머지 비트를 전송하도록 동작해야 한다. 또 상기 도 6의 경우에는 Release- 99에서 정의된 Pilot 또는 Data2 필드 중 한 필드를 줄여 HI NHI 비트가 전송되도록 상기 다중화기(708)가 동작하도록 한다. 상기 도 9의 경우는 Release- 99에서 정의된 Data2 필드를 분할하거나 Data2 필드와 파일럿 필드를 동시에 분할하여 HI NHI 비트를 전송하도록 상기 다중화기(708)이 동작해야 할 것이다.

상기 비트 스트림은 참조번호 709에 의해 두 개의 비트 스트림으로 변화되고 확산기(710)에서는 상기 두 개의 비트 스트림을 같은 채널화 코드를 사용해서 확산시켜 다른 채널화 코드를 사용하는 신호들과 직교성을 갖게 된다. 이때, 상기 확산기 출력의 두 개의 비트 스트림 I, Q 신호는 곱셈기(711)와 덧셈기(712)에 의해 하나의 복소수 스트림으로 출력된다. 상기 복소수 스트림 출력은 혼화기(713)에 의해 칩 단위로 복소 혼화 코드와 곱해져 다른 혼화 코드를 사용하는 신호와 구분이 가능해진다. 상기 혼화기에 곱해지는 복소 혼화 코드는 기지국의 구분을 위해 사용한다. 상기 혼화기(713)의 출력은 다시 곱셈기(714)에 의해 채널이득과 곱해진다.

한편, 상기 도 7에서는 SHCCH를 위한 전송장치 또한 도시하고 있는데, HS- DSCH 제어정보(715)는 참조부호 716에 의해 두 개의 비트 스트림으로 변환되며 확산기(717)에 의해 확산되고, 다시 곱셈기(718)와 덧셈기(719)에 의해 두 개의 비트 스트림은 하나의 복소수 스트림으로 변환된다. 덧셈기(719)의 복소수 출력은 혼화기(720)에 의해 칩 단위로 복소 혼화 코드와 곱해진 후, 곱셈기(721)에서 채널이득과 곱해진다. 참조부호 714의 순방향 DPCH 출력과 참조부호 721의 SHCCH 출력은 합산기(722)에서 더해진 후, 변조기(723)에서 변조되고 RF부(724)에서 RF 대역 신호로 바뀐 후 안테나(725)를 통해 송신된다. 상기 도 7에서는 순방향 DPCH와 SHCCH가 다른 혼화코드에 의해 혼화되는 것을 가정하고 있으나, 같은 혼화코드를 사용하고 다른 채널화 코드를 사용하여 상기 두 채널을 전송하는 방법 및 장치 또한 가능하다.

상기 도 7에서는 기지국 장치를 설명하였으며, 다음으로 도 8을 참조하여 사용자 단말기 장치를 설명하기로 한다.

상기 도 8은 본 발명의 실시예에서의 기능을 수행하기 위한 사용자 단말기 장치의 내부 구성을 도시한 블록도이다.

상기 도 8을 참조하면, 안테나(801)에 의해 수신된 RF 대역 신호는 RF부(802)에 의해 기저대역신호로 변환되고, 복조기(803)에 의해 복조된 후 두 개의 역혼화기 804과 818에 인가된다. 역혼화기 804에서는 순방향 DPCH 신호가 출력되며, 역혼화기 818에서는 SHCCH 신호가 출력된다. 804의 복소수 출력은 805에 의해 실수신호 I와 허수신호 Q로 분리되며, 상기 I, Q 신호는 역확산기(806)에서 채널화 코드가 곱해져서 각각 역확산된다. 또한 818의 출력 I, Q 신호는 역확산기(819)에서 채널화 코드가 곱해져서 각각 역확산된다. 역확산기(806)의 I, Q 출력신호는 역다중화기(807)에 인가되어, 역다중화기(807)는 Pilot(808) 신호를 출력하게 된다. 상기 파일럿(pilot) 신호(808)는 채널추정기(809)에 인가되어 무선채널에 의한 왜곡 추정을 통한 채널추정치가 채널보상기 810과 821에 인가한다. 상기 채널보상기 810과 821은 상기 채널추정치를 이용하여 무선채널에 의한 왜곡을 보상하게 된다. 상기 채널보상기(810)는 DPCH의 데이터를 두 개의 비트 스트림으로 출력하며, 채널보상기(822)는 SHCCH의 데이터를 두 개의 비트 스트림으로 출력한다. 822는 두 개의 비트 스트림으로 인가된 SHCCH 데이터를 하나의 비트 스트림으로 변환시켜 최종적으로 HS- DSC H 제어정보(823)를 출력하게 된다. 811은 두 개의 비트 스트림으로 인가된 DPCH의 데이터를 하나의 비트 스트림으로 변환시키며, 상기 811의 출력 비트 스트림은 역다중화기(812)에 의해 TPC(813), TFCI(814), HI를 출력한다.

여기에서 상기 도 7과 같이 TTI내의 DPCH 슬롯 구조가 HI 전송하는 슬롯 구조로 고정되어 있는 경우와 HI 전송하는 슬롯 구조와 HI 전송하지 않는 슬롯 구조로 가변적인 경우를 모두 포함하기 위해 제어부(825)가 필요하다. 그리고 상기 제어부(825)는 상기 도 11, 도 13과 슬롯 구조의 DPCH를 수신할 경우 TFCI 필드 내의 정보가 HI 정보인지, DPCH를 위한 TFCI 정보인지를 구분하여 역다중화하도록 다중화기(812)를 제어한다. 상기 제어부(825)는 DPCH 슬롯 구조가 가변적일 경우 역다중화기(812)를 제어하여 HI 전송하는 슬롯구조와 HI 전송하지 않는 슬롯구조로 다르게 역다중화 하도록 한다. 상기 고정 또는 가변 슬롯구조를 단말과 기지국 측이 서로 약속해 놓고 있어야 할 것이다. 상기 도 7의 기지국 측에서 가변된 슬롯 구조를 사용하면 단말 측의 제어부(812)는 HI 전송하는 슬롯구조와 전송하지 않는 슬롯구조를 구분하여 다르게 역다중화 하도록 제어해야 한다. 상기 도 7의 기지국 측에서 고정된 슬롯구조를 사용하면 단말 측도 고정된 슬롯구조를 사용하므로 상기 제어부(825)의 역할은 필요가 없다.

상기 역다중화기(812)의 출력인 HI에 대해서 상기 도 7의 기지국이 HI를 코딩하여 전송했으면 복호기(824)를 거쳐 디코딩되어 최종적으로 HI(815)가 출력되어야 할 것이다. 그렇지 않으면 복호기(824)는 그대로 역다중화기(812)로부터 나온 HI를 HI(815) 출력으로 낸다.

상기 역다중화기(812)는 하향데이터 신호 또한 출력하는데, 상기 하향 데이터 신호는 복호기(816)에 의해 채널 복호화되어 하향 데이터(817)가 출력된다. 상기 도 8에서는 DPCH를 통해 전송된 파일럿(pilot)을 이용하여 무선채널을 추정하는 것을 가정하고 있으나, 공용채널을 통해 전송된 pilot을 이용하여 무선채널을 추정하는 것 또한 가능하다.

한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

상술한 바와 같은 본 발명은, 고속 순방향 패킷 접속 방식을 사용하는 통신 시스템에서 상기 고속 순방향 패킷 접속 방식을 사용하지 않는 통신 시스템과의 호환성을 유지하는 전용 물리 채널 구조를 제안함으로써 시스템 성능을 향상시킨다는 이점을 가진다. 또한, 상기 전용 물리 채널의 확산율에 따라 상기 고속 순방향 패킷 접속 서비스가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송하는 필드를 적응적으로 제어하여 시스템 효율을 향상시킨다는 이점을 가진다.

(57) 청구의 범위

청구항 1.

고속 순방향 패킷 접속 서비스를 지원하지 않는 시스템이 사용자 데이터를 전송하는 사용자 데이터 필드와, 역방향 전송 전력을 제어하기 위한 명령을 전송하는 전송 전력 제어 필드와, 상기 사용자 데이터의 전송 포맷 조합 표시 정보를 전송하는 전송 포맷 조합 표시 필드와, 파일럿 심볼열을 전송하는 파일럿 필드로 다중화된 전용 물리 채널 구조를 가지며, 상기 고속 순방향 패킷 접속 방식을 서비스 하지 않는 시스템과 호환성을 유지하면서 고속 순방향 공통 채널 지시자를 전송하기 위한 장치에 있어서,

상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성 유지를 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하는 제어기와,

상기 제어기의 제어에 따라 상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전송하는 전용 물리 채널 송신기를 포함함을 특징으로 하는 상기 장치.

청구항 2.

제1항에 있어서,

상기 제어기가 상기 고속 순방향 공통 채널 지시자를 전송될 필드를 파일럿 필드로 결정할 경우, 상기 제어기는 상기 고속 순방향 패킷 접속 서비스를 지원하는 통신 시스템의 전용 물리 채널의 확산율과 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 통신 시스템의 전용 물리 채널의 확산율을 비교하여 상기 고속 순방향 공통 채널 지시자가 상기 파일럿 필드내에서 전송될 영역을 결정함을 특징으로 하는 상기 장치.

청구항 3.

제2항에 있어서,

상기 제어기는 상기 고속 순방향 패킷 접속 서비스를 지원하는 통신 시스템의 전용 물리 채널의 확산율이 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 통신 시스템의 전용 물리 채널의 확산율보다 클 경우 상기 파일럿 필드를 통해 전송되던 데이터량을 상기 고속 순방향 공통 채널 지시자 전송을 위해 필요한 비트수만큼 감소시킴을 특징으로 하는 상기 장치.

청구항 4.

제1항에 있어서,

상기 제어기가 상기 고속 순방향 공통 채널 지시자를 전송될 필드를 전송 포맷 조합 표시 필드와 사용자 데이터 필드로 결정할 경우, 상기 제어기는 상기 고속 순방향 공통 채널 지시자가 전송되지 않을 경우 상기 전송 포맷 조합 표시 필드를 불연속 전송 처리함을 특징으로 하는 상기 장치.

청구항 5.

제4항에 있어서,

상기 제어기는 전용 물리 데이터 채널의 전송 포맷 조합 표시 정보를 전송하는 제1필드와, 순방향 공통 채널의 전송 포맷 조합 표시 정보를 전송하는 제2필드로 구성된 상기 전송 포맷 조합 표시 필드에서 상기 제2필드를 선택하여 상기 순방향 공통 채널 지시자가 전송되도록 제어함을 특징으로 하는 상기 장치.

청구항 6.

제1항에 있어서,

상기 제어기가 상기 고속 순방향 공통 채널 지시자를 전송될 필드를 전송 포맷 조합 표시 필드와 파일럿 필드로 결정할 경우, 상기 제어기는 상기 고속 순방향 공통 채널 지시자가 전송되지 않을 경우 상기 전송 포맷 조합 표시 필드를 불연속 전송 처리함을 특징으로 하는 상기 장치.

청구항 7.

제6항에 있어서,

상기 제어기는 전용 물리 데이터 채널의 전송 포맷 조합 표시 정보를 전송하는 제1필드와, 순방향 공통 채널의 전송 포맷 조합 표시 정보를 전송하는 제2필드로 상기 전송 포맷 조합 표시 필드에서 상기 제2필드를 선택하여 상기 순방향 공통 채널 지시자가 전송되도록 제어함을 특징으로 하는 상기 장치.

청구항 8.

고속 순방향 패킷 접속 서비스를 지원하지 않는 시스템이 사용자 데이터를 전송하는 사용자 데이터 필드와, 역방향 전송 전력을 제어하기 위한 명령을 전송하는 전송 전력 제어 필드와, 상기 사용자 데이터의 전송 포맷 조합 표시 정보를 전송하는 전송 포맷 조합 표시 필드와, 파일럿 심볼열을 전송하는 파일럿 필드로 다중화된 전용 물리 채널 구조를 가지며, 상기 고속 순방향 패킷 접속 방식을 서비스 하지 않는 시스템과 호환성을 유지하면서 고속 순방향 공통 채널 지시자를 전송하기 위한 방법에 있어서,

상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성 유지를 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하는 과정과,

상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전용 물리 채널 신호를 전송하는 과정을 포함함을 특징으로 하는 상기 방법.

청구항 9.

제8항에 있어서,

상기 고속 순방향 공통 채널 지시자가 전송될 필드가 파일럿 필드로 결정될 경우, 상기 고속 순방향 패킷 접속 서비스를 지원하는 통신 시스템의 전용 물리 채널의 확산율과 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 통신 시스템의 전용 물리 채널의 확산율을 비교하여 상기 고속 순방향 공통 채널 지시자가 상기 파일럿 필드내에서 전송될 영역을 결정하는 과정을 더 포함함을 특징으로 하는 상기 방법.

청구항 10.

제9항에 있어서,

상기 고속 순방향 패킷 접속 서비스를 지원하는 통신 시스템의 전용 물리 채널의 확산율이 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 통신 시스템의 전용 물리 채널의 확산율보다 클 경우 상기 파일럿 필드를 통해 전송되던 데이터량을 상기 고속 순방향 공통 채널 지시자 전송을 위해 필요한 비트수만큼 감소시킴을 특징으로 하는 상기 방법.

청구항 11.

제8항에 있어서,

상기 고속 순방향 공통 채널 지시자가 전송될 필드가 전송 포맷 조합 표시 필드와 사용자 데이터 필드로 결정될 경우, 상기 고속 순방향 공통 채널 지시자가 전송되지 않으면 상기 전송 포맷 조합 표시 필드를 불연속 전송 처리하는 과정을 더 포함함을 특징으로 하는 상기 방법.

청구항 12.

제11항에 있어서,

상기 순방향 공통 채널 지시자는 상기 전용 물리 데이터 채널의 전송 포맷 조합 표시 정보를 전송하는 제1필드와, 순방향 공통 채널의 전송 포맷 조합 표시 정보를 전송하는 제2필드로 구성된 상기 전송 포맷 조합 표시 필드에서 상기 제2필드를 통해 전송됨을 특징으로 하는 상기 방법.

청구항 13.

제8항에 있어서,

상기 고속 순방향 공통 채널 지시자가 전송될 필드가 전송 포맷 조합 표시 필드와 파일럿 필드로 결정될 경우, 상기 고속 순방향 공통 채널 지시자가 전송되지 않은 경우 상기 전송 포맷 조합 표시 필드를 불연속 전송 처리하는 과정을 더 포함함을 특징으로 하는 상기 방법.

청구항 14.

제13항에 있어서,

상기 순방향 공통 채널 지시자는 상기 전용 물리 데이터 채널의 전송 포맷 조합 표시 정보를 전송하는 제1필드와, 순방향 공통 채널의 전송 포맷 조합 표시 정보를 전송하는 제2필드로 구성된 상기 전송 포맷 조합 표시 필드에서 상기 제2필드를 통해 전송됨을 특징으로 하는 상기 방법.

청구항 15.

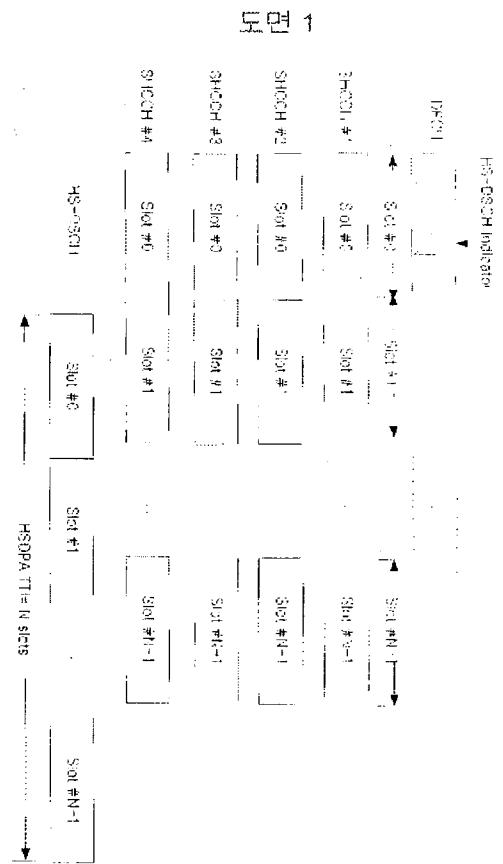
고속 순방향 패킷 접속 서비스를 지원하지 않는 시스템이 사용자 데이터를 전송하는 사용자 데이터 필드와, 역방향 전송 전력을 제어하기 위한 명령을 전송하는 전송 전력 제어 필드와, 상기 사용자 데이터의 전송 포맷 조합 표시 정보를 전송하는 전송 포맷 조합 표시 필드와, 파일럿 심볼열을 전송하는 파일럿 필드로 다중화된 전용 물리 채널 구조를 가지며, 상기 고속 순방향 패킷 접속 방식을 서비스 하지 않는 시스템과 호환성을 유지하면서 고속 순방향 공통 채널 지시자를 전송하기 위한 방법에 있어서,

상기 고속 순방향 패킷 접속 서비스를 지원하는 사용자 단말기와, 상기 고속 순방향 패킷 접속 서비스를 지원하지 않는 사용자 단말기간의 호환성 유지를 위해 상기 고속 순방향 패킷 접속 서비스를 사용하지 않는 통신 시스템의 전용 물리 채널 슬롯의 필드중 상기 고속 순방향 패킷 접속 서비스 데이터가 존재함을 나타내는 고속 순방향 공통 채널 지시자를 전송할 필드를 결정하는 과정과,

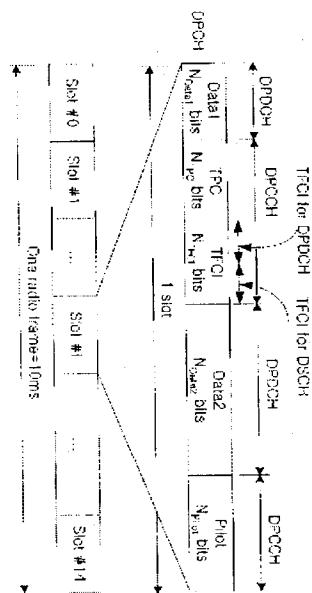
상기 결정된 필드에 상기 고속 순방향 공통 채널 지시자를 삽입하여 상기 전용 물리 채널의 나머지 필드들과 다중화하여 전용 물리 채널 신호를 전송하는 과정과,

상기 고속 순방향 공통 채널 지시자가 삽입된 전용 물리 채널 슬롯이 속한 전송 시구간내의 다른 슬롯내 상기 결정된 필드와 동일한 필드에서 상기 고속 순방향 공통 채널 지시자가 삽입된 필드에서 전송하던 정보 데이터를 삽입하여 전송하는 과정을 포함함을 특징으로 하는 상기 방법.

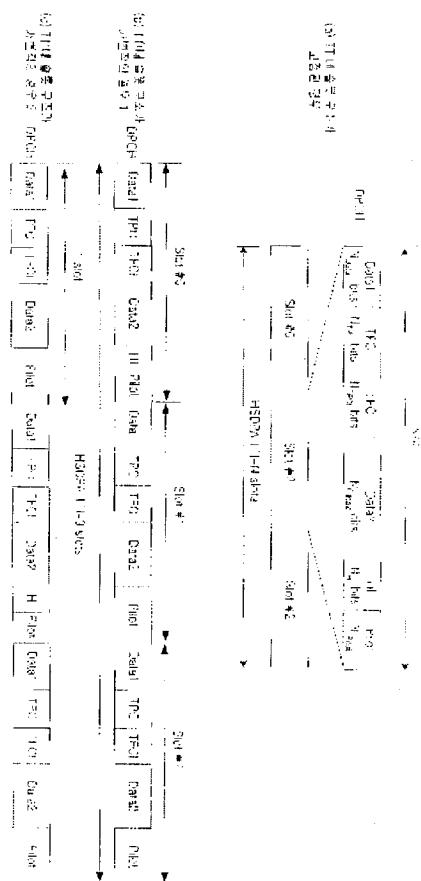
부록



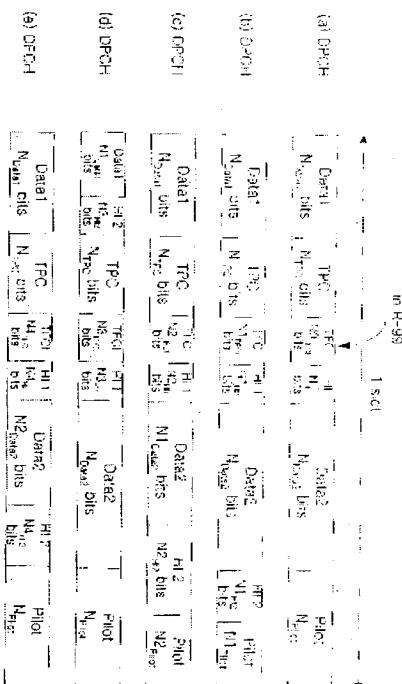
도면 2



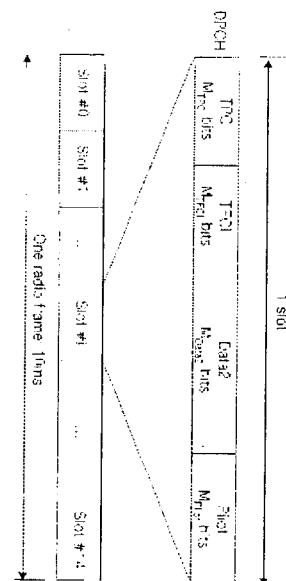
도면 3



[H] 4



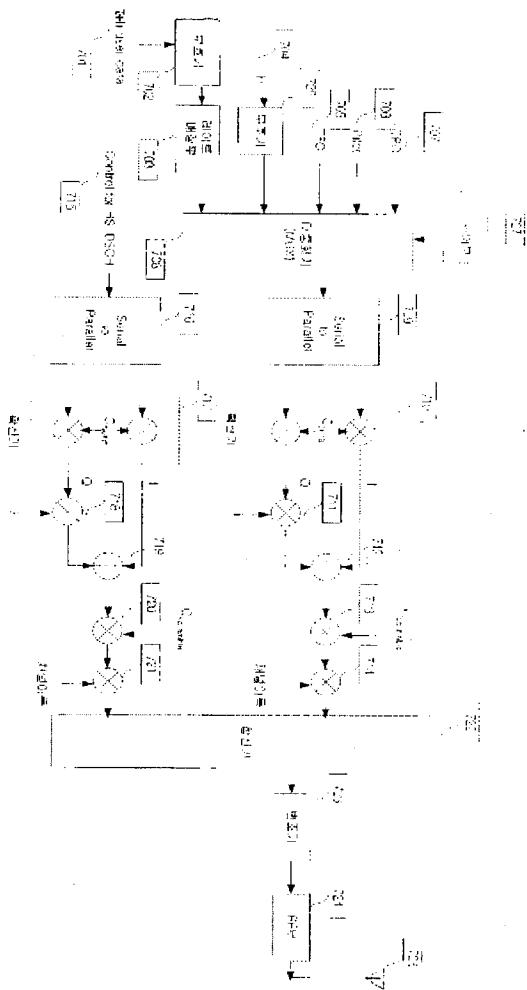
도면 5



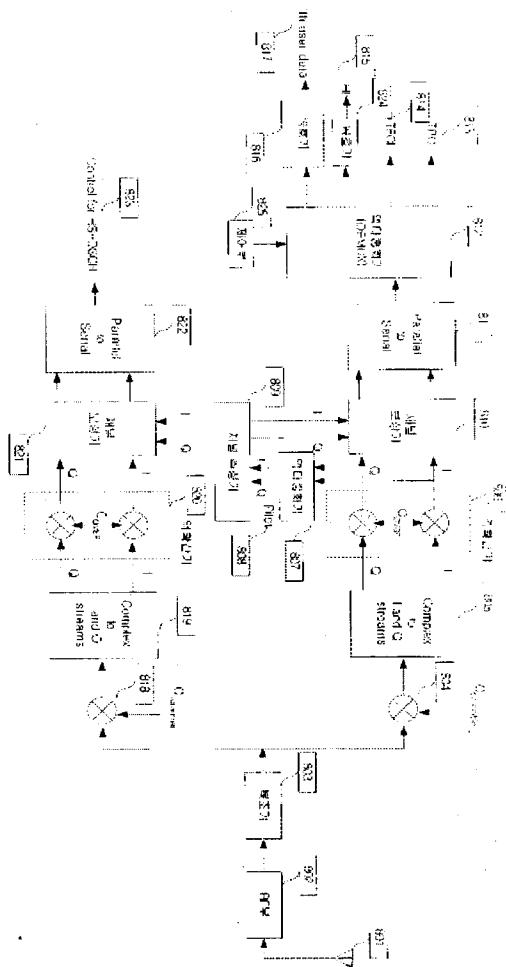
도면 6



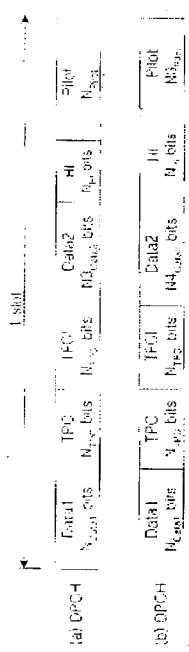
도면 7



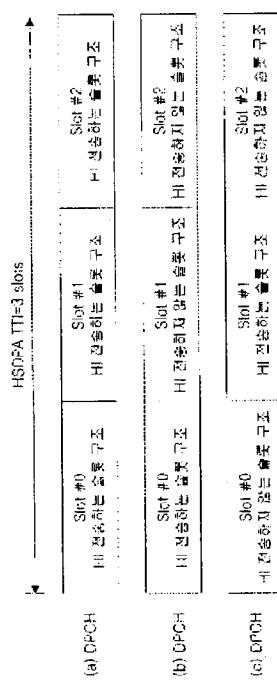
도면 8



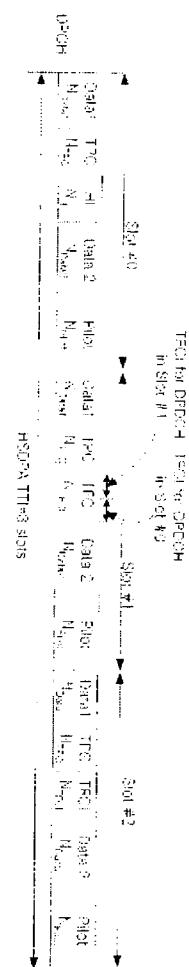
부록 9



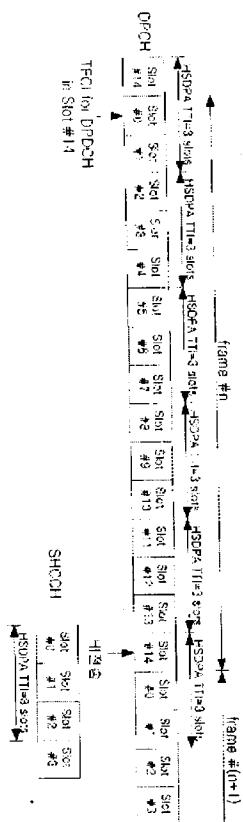
[1] 10



도면 11



도면 12



도면 13

